

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yoshihisa IWATA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR MEMORY DEVICE HAVING MEMORY CELLS INCLUDING  
FERROMAGNETIC FILMS AND CONTROL METHOD THEREOF

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-080587	March 24, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

**C. Irvin McClelland**  
**Registration Number 21,124**

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

0381460

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 4 日  
Date of Application:

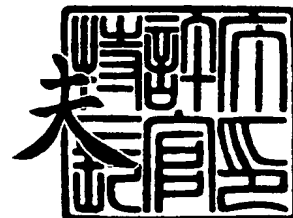
出 願 番 号            特 願 2 0 0 3 - 0 8 0 5 8 7  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 0 5 8 7 ]

出 願 人            株式会社東芝  
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号   出証特 2 0 0 3 - 3 0 8 4 6 4 5

【書類名】 特許願

【整理番号】 A000206108

【提出日】 平成15年 3月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置及びその制御方法

【請求項の数】 17

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 中島 健太郎

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 岩田 佳久

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

【氏名】 砂井 正之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 清水 有威

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

## 【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその制御方法

【特許請求の範囲】

【請求項 1】 第 1 方向に沿って複数形成されたワード線と、  
前記第 1 方向に直交する第 2 方向に沿って複数形成されたビット線と、  
前記ワード線と前記ビット線との交点に設けられ、磁気抵抗素子を含むメモリセルと、

前記ワード線を選択するロウデコーダと、

前記ビット線を選択するカラムデコーダと、

前記ロウデコーダ及び前記カラムデコーダによって選択された選択ワード線及び選択ビット線に、第 1、第 2 書き込み電流をそれぞれ供給して、前記選択ワード線及び前記選択ビット線の交点に設けられた選択メモリセルにデータを書き込む書き込み回路と

を具備し、前記書き込み回路は、温度に応じて前記第 1、第 2 書き込み電流の電流値を変化させる

ことを特徴とする半導体記憶装置。

【請求項 2】 第 1 方向に沿って複数形成されたワード線と、  
前記第 1 方向に直交する第 2 方向に沿って複数形成されたビット線と、  
前記ワード線と前記ビット線との交点に設けられ、磁気抵抗素子を含むメモリセルと、

前記ワード線を選択するロウデコーダと、

前記ビット線を選択するカラムデコーダと、

前記ロウデコーダ及び前記カラムデコーダによって選択された選択ワード線及び選択ビット線に、第 1、第 2 書き込み電流をそれぞれ供給して、前記選択ワード線及び前記選択ビット線の交点に設けられた選択メモリセルにデータを書き込む書き込み回路と

を具備し、前記書き込み回路は、前記第 1、第 2 書き込み電流の電流値を温度に応じて変化させると共に、前記第 1、第 2 書き込み電流のいずれか一方の電流値を書き込みデータに応じて変化させる

ことを特徴とする半導体記憶装置。

【請求項 3】 前記書き込み回路は、前記第 1、第 2 書き込み電流を前記選択ワード線及び前記選択ビット線にそれぞれ供給する第 1、第 2 MOS トランジスタと、

前記第 1、第 2 MOS トランジスタのゲートに電流を供給し、供給電流に温度依存性を有する電流源回路と

を備えることを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 前記書き込み回路は、前記第 1 書き込み電流を前記選択ワード線に供給する第 1 MOS トランジスタ群と、

前記第 2 書き込み電流を前記選択ビット線に供給する第 2 MOS トランジスタ群と

を備え、前記第 1、第 2 MOS トランジスタ群において、オン状態とされる MOS トランジスタの数が温度上昇に伴って減少する

ことを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 5】 前記第 1、第 2 MOS トランジスタ群において、オン状態にすべき MOS トランジスタの情報を温度毎に保持する保持回路と

前記保持回路から前記情報を温度に応じて読み出し、前記第 1、第 2 MOS トランジスタ群における MOS トランジスタのオン／オフを制御する読み出し回路と

を更に備えることを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 前記書き込み回路は、前記第 1 書き込み電流を前記選択ワード線に供給する第 1 MOS トランジスタと、

前記第 2 書き込み電流を前記選択ビット線の一端側から供給する第 2 MOS トランジスタと、

前記第 2 書き込み電流を前記選択ビット線他端側から供給する第 3 MOS トランジスタと、

前記第 1 乃至第 3 MOS トランジスタのゲートに電流を供給し、供給電流に温度依存性を有する電流源回路と

を備えることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 7】 前記書き込み回路は、前記第 1 書き込み電流を前記選択ワード線に供給する第 1 MOS トランジスタと、

前記第 2 書き込み電流を前記選択ビット線の一端側から供給する第 2 MOS トランジスタと、

前記第 2 書き込み電流を前記選択ビット線他端側から供給する第 3 MOS トランジスタと

を備え、前記第 2、第 3 MOS トランジスタは、書き込みデータに応じて供給する電流値を変化させる

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 8】 前記書き込み回路は、前記第 1 書き込み電流を前記選択ワード線に供給する第 1 MOS トランジスタ群と、

前記第 2 書き込み電流を前記選択ビット線の一端側から供給する第 2 MOS トランジスタ群と、

前記第 2 書き込み電流を前記選択ビット線他端側から供給する第 3 MOS トランジスタ群と

を備え、前記第 1 乃至第 3 MOS トランジスタ群において、オン状態とされる MOS トランジスタの数が温度上昇に伴って減少する

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 9】 前記第 1 乃至第 3 MOS トランジスタ群において、オン状態にすべき MOS トランジスタの情報を温度毎に保持する保持回路と

前記保持回路から前記情報を温度に応じて読み出し、前記第 1 乃至第 3 MOS トランジスタ群における MOS トランジスタのオン／オフを制御する読み出し回路と

を更に備えることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 温度に応じて最適な前記第 1、第 2 書き込み電流の電流値を探索する書き込み電流設定回路と、

前記書き込み電流設定回路で得られた前記第 1、第 2 書き込み電流の電流値に関する情報を、温度データと共に保持する保持回路と、

前記保持回路に保持されている前記情報を、温度に応じて読み出す読み出し回



路と

を更に具備し、前記書き込み回路は、前記読み出し回路によって前記保持回路から読み出された前記情報に基づいて、前記第 1、第 2 書き込み電流を供給することを特徴とする請求項 1 乃至 4 及び 6 乃至 8 いずれか 1 項記載の半導体記憶装置。

【請求項 11】 温度に応じて最適な前記第 1、第 2 書き込み電流の電流値を探索する書き込み電流設定回路を更に具備し、

前記保持回路に保持される前記情報は、前記電流設定回路で得られた前記第 1、第 2 書き込み電流の電流値に基づく

ことを特徴とする請求項 5 または 9 記載の半導体記憶装置。

【請求項 12】 前記温度に応じて最適な前記第 1、第 2 書き込み電流の電流値を探索する際に、前記メモリセルに書き込むデータパターンを生成するデータパターンジェネレータを更に具備し、

前記電流設定回路は、前記データパターンジェネレータが生成するデータパターンと、前記メモリセルから読み出した読み出しデータとを比較する比較回路と、

前記比較回路において、比較結果が一致した回数をカウントするカウント回路とを備え、

前記保持回路は、前記カウント回路におけるカウント数が最大になった際の、前記第 1、第 2 書き込み電流の電流値に関する情報を保持する

ことを特徴とする請求項 10 または 11 記載の半導体記憶装置。

【請求項 13】 前記第 1、第 2 書き込み電流の電流値は、互いに異なる値である

ことを特徴とする請求項 1 乃至 12 いずれか 1 項記載の半導体記憶装置。

【請求項 14】 前記書き込み回路は、前記第 1、第 2 書き込み電流の電流値の比率を一定に保ちつつ、温度に応じて変化させる

ことを特徴とする請求項 1 乃至 13 いずれか 1 項記載の半導体記憶装置。

【請求項 15】 第 1 方向に沿って複数形成されたワード線と、第 1 方向に直交する第 2 方向に沿って複数形成されたビット線との交点に設けられ、磁気抵

抗素子を含むメモリセルにデータを書き込む為に前記ワード線及び前記ビット線にそれぞれ供給する第1、第2書き込み電流の最適値に関するデータを、温度毎に保持部に保持させるステップと、

書き込み時、温度を検出するステップと、

前記温度を検出するステップにおいて検出された温度に対応するデータを、前記保持部から読み出すステップと、

前記保持部から読み出した前記データに応じて、ワード線カレントソース及びビット線カレントソースが前記ワード線及び前記ビット線に、最適な前記第1、第2書き込み電流を供給して、前記メモリセルにデータを書き込むステップとを具備することを特徴とする半導体記憶装置の制御方法。

【請求項16】 前記第1、第2書き込み電流の最適値に関するデータを、温度毎に保持部に保持させるステップは、

温度を所定の温度に設定するステップと、

メモリセルアレイへデータパターンジェネレータが発生したデータパターンを複数の前記第1、第2書き込み電流によって書き込むステップと、

前記メモリセルへ書き込んだデータを検証して、正常に書き込まれたメモリセル数の最も多い前記第1、第2書き込み電流の電流値を、温度データと共に第1レジスタに保持させるステップと、

温度を変えて、前記メモリセルアレイへ前記データパターンを書き込むステップに戻るステップと

を備えることを特徴とする請求項15記載の半導体記憶装置の制御方法。

【請求項17】 前記メモリセルアレイへ前記データパターンを書き込むステップの前に、前記第1レジスタ及び第2レジスタの値を初期値に設定するステップを更に備え、

前記メモリセルアレイへ前記データパターンを書き込むステップにおいては、前記ワード線カレントソース及び前記ビット線カレントソースが、前記第1レジスタに保持されている値に基づいて前記第1、第2書き込み電流を発生し、

前記メモリセルへ書き込んだデータを検証し、前記電流値を前記第1レジスタに保持させるステップは、

前記メモリセルアレイに含まれるメモリセルからデータを読み出すステップと

、  
前記メモリセルから読み出したデータと前記データパターンとを比較するステップと、

前記メモリセルから読み出したデータと前記データパターンとが一致した場合には、カウンタがカウント数をカウントアップするステップと、

前記メモリセルアレイに含まれる所定の数の前記メモリセルについて前記比較するステップ及びカウントアップするステップが終了した後、前記カウンタのカウント数と、前記第2レジスタに保持される値とを比較するステップと、

前記カウンタのカウント数が前記第2レジスタに保持される値よりも大きい場合には、前記第2レジスタの値を前記カウンタのカウント数に書き換えると共に、前記第1レジスタの値を前記データパターンの書き込みに用いた前記第1、第2書き込み電流の電流値に応じた値に書き換えるステップと、

前記第1、第2書き込み電流の電流値を変えて、前記データパターンを書き込むステップに戻るステップと

を備えることを特徴とする請求項16記載の半導体記憶装置の制御方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体記憶装置及びその制御方法に関するもので、例えば磁気ランダムアクセスメモリ(MRAM: Magneto resistive Random Access Memory)の読み出し動作に関するものである。

##### 【0002】

#### 【従来の技術】

MRAMは、磁気抵抗効果を利用して“1”または“0”情報を蓄積させることでメモリ動作を行うデバイスである。そして、不揮発性、高集積性、高信頼性、及び高速動作を兼ね備え、従来のDRAM (Dynamic Random Access Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory)等に対して置き換え可能なメモリデバイスとして期待されている。

## 【0003】

MRAMのメモリセルは通常、複数の強磁性体を積層した構造を有する。情報の記憶は、メモリセルを構成する複数の強磁性体の磁化の相対方向が、平行であるか、または反平行であるかを、2進の情報に対応させて行う。MRAMにおける書き込み動作は、各セルの強磁性体の磁化方向を、クロスストライプ状に配置された書き込み線に電流を流して生じる電流磁界によって反転させることによって行われる。記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。記録情報の読み出しは、メモリセルの電気抵抗が、セルを構成する強磁性体の磁化方向とセンス電流との相対角、または複数の強磁性層間の磁化の相対角によって変化する現象、所謂磁気抵抗効果を利用して行う。

## 【0004】

MRAMは、従来の誘電体を用いた半導体メモリとその機能を比較すると、（1）完全な不揮発性であり、 $10^{15}$ 回以上の書き換え回数が可能であること、（2）非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であること、（3）電荷蓄積型のメモリセルに比べて放射線に対する耐性が強いこと、等の多くの利点を有している。MRAMの単位面積あたりの集積度、書き込み・読み出し時間は、概ねDRAMと同程度となりうることが予想される。従って、不揮発性という大きな特色を生かし、携帯機器用の外部記録装置、LSI混載用途、更にはパーソナルコンピュータの主記憶メモリへの応用が期待されている。

## 【0005】

現在実用化の検討が進められているMRAMでは、メモリセルに強磁性トンネル効果（Tunnel Magneto-Resistance：以下TMR効果と略記）を示す素子が用いられている（例えば非特許文献1参照）。TMR効果を示す素子は、主として強磁性層／絶縁層／強磁性層からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。トンネル抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。例えば、NiFe/Co/Al<sub>2</sub>O<sub>3</sub>/Co/NiFeトンネル接合（MTJ：Magnetotunneling Junction）では、500eV以

下の低磁界において 2 5 % を超える磁気抵抗変化率が見出されている（例えば非特許文献 2 参照）。

【 0 0 0 6 】

また、上記のように M T J 素子を用いた M R A M の特性改善を目的とした多くの提案が為されてきている。例えば、磁界感度の改善を目的として、一方の強磁性体に隣接して反強磁性体を配置し、磁化方向を固着させた所謂スピンバルブ構造の M T J 素子が提案されている（例えば非特許文献 3 参照）。また、磁気抵抗変化率のバイアス依存性を改善するために、二重のトンネルバリアを設けた M T J 素子が提案されている（例えば非特許文献 4 参照）。更には、配線周囲に高透磁率磁性材料によるキーパー層ないしヨーク構造を設けた構造が提案されている（例えば特許文献 1 乃至 4 参照）。これは、磁束をキーパー層ないしヨーク構造内に収束させることで、M T J 近傍に生じる磁界の向上を図り、書き込み電流値を低減するための構造である。同じく書き込み電流値の低減のために、配線と M T J の配置を変化させた構造が開示されている（特許文献 5 乃至 8 参照）。また、磁気抵抗素子の書き込み閾値は、温度依存性を持つことが知られている（例えば非特許文献 5、6 参照）。

【 0 0 0 7 】

【特許文献 1】

米国特許第 5, 940, 319 号明細書

【 0 0 0 8 】

【特許文献 2】

米国特許第 5, 956, 267 号明細書

【 0 0 0 9 】

【特許文献 3】

欧州特許第 00/10172 号明細書

【 0 0 1 0 】

【特許文献 4】

特開平 8-306014 号公報

【 0 0 1 1 】

## 【特許文献 5】

米国特許第5,946,228号明細書

## 【0 0 1 2】

## 【特許文献 6】

米国特許第6,072,718号明細書

## 【0 0 1 3】

## 【特許文献 7】

米国特許第6,104,633号明細書

## 【0 0 1 4】

## 【特許文献 8】

米国特許第6,005,800号明細書

## 【0 0 1 5】

## 【非特許文献 1】

“IEEE International Solid-State Circuits Conference 2000 Digest  
Papar” , TA7.2

## 【0 0 1 6】

## 【非特許文献 2】

“IEEE Transactions on Magnetism” , 1997年, 33号, p.3553

## 【0 0 1 7】

## 【非特許文献 3】

“Japanese Journal of Applied Physics” , 1997年, 36号, p.200

## 【0 0 1 8】

## 【非特許文献 4】

“Japanese Journal of Applied Physics” , 1997年, 36号, p.1380

## 【0 0 1 9】

## 【非特許文献 5】

“IEEE Transactions on Magnetism” , 2001年, 37号, p.1970

## 【0 0 2 0】

## 【非特許文献 6】

“2002 Symposium on VLSI Circuit Digest of Technical Papers”, 1  
2-3

【0021】

【発明が解決しようとする課題】

上記のように、従来よりMRAMは次世代のメモリデバイスとして活発な研究が為されている。しかし、上記従来のMRAMには、隣接セル間の書き込み時の干渉に起因する問題があった。

【0022】

従来のMRAMでは、複数の書き込み線が概ね直交するように配置されており、2本の書き込み線の直交する箇所にMTJ素子が配置される。そして書き込み時には、選択メモリセルに接続される2本の書き込み線に電流を供給する。その結果、選択メモリセルには2本の書き込み線による合成磁界の影響を受けて、データが書き込まれる。この際、選択メモリセルに与えられた磁界の影響を受けて、選択メモリセルに隣接する非選択メモリセルにもデータが書き込まれるという問題があった。

【0023】

この発明は、上記事情に鑑みてなされたもので、その目的は、書き込み動作の信頼性を向上できる半導体記憶装置及びその制御方法を提供することにある。

【0024】

【課題を解決するための手段】

上記目的を達成するために、この発明の一態様に係る半導体記憶装置は、第1方向に沿って複数形成されたワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、前記ワード線と前記ビット線との交点に設けられ、磁気抵抗素子を含むメモリセルと、前記ワード線を選択するロウデコーダと、前記ビット線を選択するカラムデコーダと、前記ロウデコーダ及び前記カラムデコーダによって選択された選択ワード線及び選択ビット線に、第1、第2書き込み電流をそれぞれ供給して、前記選択ワード線及び前記選択ビット線の交点に設けられた選択メモリセルにデータを書き込む書き込み回路とを具備し、前記書き込み回路は、温度に応じて前記第1、第2書き込み電流の電流値を変化させる

ことを特徴としている。

【0025】

また、この発明の一態様に係る半導体記憶装置の制御方法は、第1方向に沿って複数形成されたワード線と、第1方向に直交する第2方向に沿って複数形成されたビット線との交点に設けられ、磁気抵抗素子を含むメモリセルにデータを書き込む為に前記ワード線及び前記ビット線にそれぞれ供給する第1、第2書き込み電流の最適値に関するデータを、温度毎に保持部に保持させるステップと、書き込み時、温度を検出するステップと、前記温度を検出するステップにおいて検出された温度に対応するデータを、前記保持部から読み出すステップと、前記保持部から読み出した前記データに応じて、ワード線カレントソース及びビット線カレントソースが前記ワード線及び前記ビット線に、最適な前記第1、第2書き込み電流を供給して、前記メモリセルにデータを書き込むステップとを具備することを特徴としている。

【0026】

上記のような半導体記憶装置及びその制御方法であると、書き込み時において、温度に応じて最適な書き込み電流を供給している。従って、隣接するメモリセルへの誤書き込みを抑制しつつ、選択メモリセルへの書き込みを確実に行うことが出来る。その結果、書き込み動作における最大の動作マージンを得ることが出来る。

【0027】

更に、この発明の一態様に係る半導体記憶装置は、第1方向に沿って複数形成されたワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、前記ワード線と前記ビット線との交点に設けられ、磁気抵抗素子を含むメモリセルと、前記ワード線を選択するロウデコーダと、前記ビット線を選択するカラムデコーダと、前記ロウデコーダ及び前記カラムデコーダによって選択された選択ワード線及び選択ビット線に、第1、第2書き込み電流をそれぞれ供給して、前記選択ワード線及び前記選択ビット線の交点に設けられた選択メモリセルにデータを書き込む書き込み回路とを具備し、前記書き込み回路は、前記第1、第2書き込み電流の電流値を温度に応じて変化させると共に、前記第1、第



2書き込み電流のいずれか一方の電流値を書き込みデータに応じて変化させることを特徴としている。

#### 【0028】

上記のような半導体記憶装置であると、書き込み時において、温度に応じて最適な書き込み電流を供給している。従って、上記した効果が得られる。更に書き込み時において、書き込みデータに応じて書き込み電流の値を変化させている。従って、温度変化や構造上の原因によって、書き込み閾値特性が理想の場合に対してずれた場合であっても、信頼性良く書き込み動作を行うことが出来る。

#### 【0029】

##### 【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

#### 【0030】

この発明の第1の実施形態に係る半導体記憶装置について図1を用いて説明する。図1はMRAMのブロック図である。

#### 【0031】

図示するように、MRAM10は、メモリセルアレイ11、ロウデコーダ12、カラムデコーダ13、ディジット線セクタ14、ディジット線カレントソース15、ディジット線カレントシンク16、ビット線セクタ17、ビット線カレントソース／カレントシンク18、19、及びセンスアンプ20を備えている。

#### 【0032】

メモリセルアレイ11は、マトリクス状に配置された複数のメモリセルを備えている。各メモリセルは、それぞれが磁気抵抗素子を含んでいる。そして、メモリセルアレイ11内には、互いに直交するビット線BLと、ディジット線DL及びワード線WLが配置されている。メモリセルは、ビット線BLと、ディジット線DL及びワード線との交点に配置されており、ビット線BL及びワード線と接続されている。またディジット線DLは、メモリセルの近傍を通過するように配置されている。メモリセルアレイ11内において、同一列のメモリセルは同一の

ビット線BLに接続され、同一行のメモリセルは同一のワード線WLに接続されている。また同一行のメモリセルの近傍には、同一のディジット線DLが配置されている。メモリセルアレイの詳細については後述する。

#### 【0033】

ロウデコーダ12は、外部より入力されたロウアドレス信号をデコードして、ロウアドレスデコード信号を得る。またカラムデコーダ13は、外部より入力されたカラムアドレス信号をデコードして、カラムアドレスデコード信号を得る。

#### 【0034】

ディジット線セクタ14は、ロウアドレスデコード信号に基づいて、メモリセルアレイ11のディジット線DLを選択する。

#### 【0035】

ディジット線カレントソース15は、ディジット線セクタ14によって選択されたディジット線DLに書き込み電流を供給する。この電流は、選択メモリセルの近傍を通してディジット線カレントシンク16に流れ込む。

#### 【0036】

ビット線セクタ17は、カラムアドレスデコード信号に基づいて、メモリセルアレイ11のビット線BLを選択する。

#### 【0037】

ビット線カレントソース／カレントシンク18、19は、カレントソースまたはカレントシンクのいずれかとして機能する。書き込み時において、ビット線カレントソース・カレントシンク18、19の一方がカレントソースとして機能する場合には、他方がカレントシンクとして機能する。そして、ビット線セクタ17によって選択されたビット線BLに電流を供給する。そして、カレントソースから供給された電流は、カレントシンクに流れ込む。ビット線カレントソース・カレントシンク18、19のいずれが電流を供給するかによって、メモリセルへの書き込みデータを制御できる。勿論、ディジット線DLに流す電流によって書き込みデータを制御する場合には、ディジット線カレントソース15及びディジット線カレントシンク16が、互いにカレントソース及びカレントシンクのいずれかとして機能するように構成されれば良い。

## 【0038】

センスアンプ20は、読み出し動作時において、ビット線に読み出したデータを増幅する。

## 【0039】

次に、メモリセルアレイ11の構成について、図2を用いて説明する。図2はメモリセルアレイ11の回路図である。

## 【0040】

図示するように、メモリセルアレイ11は、マトリクス状に配置された複数（ $(m+1) \times (n+1)$ ）個のメモリセルを有している（図2では $(3 \times 4)$ 個のみ示す）。メモリセルの各々は、磁気抵抗素子30及びスイッチングトランジスタ31を含んでいる。磁気抵抗素子30は、例えばMTJ素子である。磁気抵抗素子30の一端は、ビット線BL0～BLnのいずれかに接続され、他端はスイッチングトランジスタ31の電流経路の一端に接続されている。スイッチングトランジスタ31のゲートはワード線WL0～WLnのいずれかに接続され、電流経路の他端は接地電位に接続されている。そして、磁気抵抗素子30に近接して、ディジット線DL0～DLmのいずれかが設けられている。同一行に配置されたメモリセルのスイッチングトランジスタ31のゲートは、ワード線WL0～WLnのいずれかに共通接続されている。また、同一行に配置されたメモリセルの磁気抵抗素子30の近傍に、ディジット線DL0～DLmのいずれかが配線されている。更に同一列に配置されたメモリセルの磁気抵抗素子30の一端は、ビット線BL0～BLnのいずれかに共通接続されている。なお、ディジット線DL0～DLmとビット線BL0～BLnとは、互いに直交するように配置されている。

## 【0041】

次に、メモリセルアレイ11の平面パターンについて、図3を用いて説明する。図3はメモリセルアレイ11の平面図であり、簡単化の為に、スイッチングトランジスタの図示を省略している。なお、図中に示す方向を、それぞれ困難軸方向及び容易軸方向と定義づけることとする。

## 【0042】

図示するように、困難軸方向に沿って  $(1+n)$  本のビット線  $BL_0 \sim BL_n$  が設けられ (図3ではビット線  $BL_0 \sim BL_2$  のみ示す)、困難軸方向に直交する容易軸方向に沿って  $(1+m)$  本のディジット線  $DL_0 \sim DL_m$  が設けられている (図3ではディジット線  $DL_0 \sim DL_3$  のみ示す)。そして、ビット線  $BL_0 \sim BL_n$  とディジット線  $DL_0 \sim DL_m$  との交点部分に磁気抵抗素子 30 が配置されている。ビット線  $BL_0 \sim BL_n$  は磁気抵抗素子 30 の一端と電氣的に接続されている。他方、ディジット線  $DL_0 \sim DL_m$  は磁気抵抗素子 30 と電氣的に分離されつつ、近接配置されている。

#### 【0043】

磁気抵抗素子 30 は、長手方向が容易軸方向に沿い、短手方向が困難軸方向に沿った略長方形の形状を有している。磁気抵抗素子の形状は、長方形の形状に限られるものではなく、例えば長軸が容易軸方向に沿った楕円形状などであってもよい。そして、磁気抵抗素子 30 の他端は、金属配線層 32 及びコンタクトプラグ CP を介してスイッチングトランジスタ 31 (図示せず) に接続される。

#### 【0044】

次に、メモリセルアレイ 11 の断面構造について、図4を用いて説明する。図4は図3における  $X1-X1'$  線に沿った断面図である。

#### 【0045】

図示するように、半導体基板 33 中には素子分離領域 STI が形成されており、素子分離領域によって周囲を取り囲まれた素子領域 AA 内に、スイッチングトランジスタ 31 が形成されている。スイッチングトランジスタ 31 は、半導体基板 33 の表面内に形成された不純物拡散層 34、図示せぬゲート絶縁膜、及びゲート電極 35 を備えている。ゲート電極 35 はワード線  $WL_0 \sim WL_m$  のいずれかとして機能するものであり、容易軸方向 (紙面に対して垂直方向) に沿ってストライプ状に形成されている。

#### 【0046】

また半導体基板 33 上には層間絶縁膜 36 が形成されている。層間絶縁膜 36 は、スイッチングトランジスタ 31 を被覆しており、また層間絶縁膜 36 内には、コンタクトプラグ 37、38 が形成されている。コンタクトプラグ 37、38

は、スイッチングトランジスタ 31 の不純物拡散層 34 の一方（ソース領域）及び他方（ドレイン領域）にそれぞれ接続されている。

#### 【0047】

層間絶縁膜 36 上には、コンタクトプラグ 37、38 にそれぞれ接続された金属配線層 39、40 が形成されている。金属配線層 39 は接地電位に接続されており、コンタクトプラグ 37 を介してスイッチングトランジスタ 31 のソース領域に接地電位を供給する。更に、層間絶縁膜 41 が層間絶縁膜 36 上に形成されている。層間絶縁膜 41 は、金属配線層 39、40 を被覆しており、また層間絶縁膜 41 内には、コンタクトプラグ 42 が形成されている。コンタクトプラグ 42 は、金属配線層 40 に接続されている。

#### 【0048】

層間絶縁膜 41 上には、コンタクトプラグ 42 に接続された金属配線層 43、金属配線層 43 と電氣的に分離された金属配線層 44 が形成されている。金属配線層 44 はディジット線 DL0 ~ DLm のいずれかとして機能するものであり、容易軸方向に沿ってストライプ状に形成されている。また、金属配線層 44 は、各々が電氣的に接続されるスイッチングトランジスタ 31 のゲート電極 35 と、ほぼ重なるようにして形成されている。更に、層間絶縁膜 45 が層間絶縁膜 41 上に形成されている。層間絶縁膜 45 は金属配線層 43、44 を被覆しており、また層間絶縁膜 45 内にはコンタクトプラグ 46 が形成されている。コンタクトプラグ 46 は、金属配線層 43 と接続されている。

#### 【0049】

層間絶縁膜 45 上には、コンタクトプラグ 46 に接続された金属配線層 32 が形成されている。また金属配線層 32 上には磁気抵抗素子 30 が形成されている。磁気抵抗素子 30 は、層間絶縁膜 45 及び金属配線層 32 を挟んで金属配線層 44 と重なるようにして形成されている。磁気抵抗素子 30 は、絶縁膜を磁性体膜で挟み込んだ構造を有する MTJ 素子である。すなわち、金属配線層 32 上に磁性体膜 47 が形成され、磁性体膜 47 上に絶縁膜 48 が設けられ、磁性体膜 49 が絶縁膜 48 上に設けられている。これらの磁性体膜 47、49、及び絶縁膜 48 が TMR 素子を構成している。磁性体膜 49 の磁化の向きは、予め所定の方

向に向くよう設定されている。その上で、磁性体膜 47 の磁化の向きを磁性体膜 49 に対して平行、または反平行とすることで、2 つの状態を作り出し、“0” データ、または“1” データを書き込む。更に、層間絶縁膜 50 が層間絶縁膜 45 上に形成されている。層間絶縁膜 50 は金属配線層 32 及び磁気抵抗素子 30 の周辺を被覆している。また層間絶縁膜 50 上には、磁性体膜 49 に接続されるようにして金属配線層 51 が形成されている。金属配線層 51 はビット線 BL0 ~ BLn のいずれかとして機能するものであり、困難軸方向（紙面内の左右方向）に沿ってストライプ状に形成されている。

#### 【0050】

次に上記構成の MRAM の動作について、図 1、図 2 及び図 3 を用いて説明する。まず、書き込み動作について、ビット線 BL1 とワード線 WL2（ディジット線 DL2）との交点に配置されたメモリセル MC21 にデータを書き込む場合を例に挙げて説明する。

#### 【0051】

まず、ディジット線セクタ 14 が、ロウデコーダ 12 より与えられたロウアドレスデコード信号に基づいて、ディジット線 DL2 を選択する。そして、ディジット線カレントソース 15 が、ディジット線セクタ 14 により選択されたディジット線 DL2 に電流を供給する。ディジット線カレントソース 15 によって供給された電流は、ディジット線カレントシンク 16 に流れ込む。この電流により、ディジット線 DL2 の周囲に困難軸方向の磁界が形成される。

#### 【0052】

また、ビット線セクタ 17 が、カラムデコーダ 13 により与えられたカラムアドレスデコード信号に基づいて、ビット線 BL1 を選択する。これにより、ビット線 BL1 は、ビット線カレントソース／カレントシンク 18、19 に接続される。そして、ビット線カレントソース 18、19 のいずれかが、ビット線 BL1 に書き込み電流を供給する。ビット線カレントソース 18、19 の一方によって供給された電流は、ビット線カレントシンク 18、19 の他方に流れ込む。この電流により、ビット線 BL1 の周囲に容易軸方向の磁界が形成される。そして、ビット線 BL1 を流れる電流の向き（いずれのビット線カレントソースが電流

を供給するか) によって、メモリセルMC 21には、“0” データ、または“1” データが書き込まれる。

#### 【0053】

図5は本実施形態に係るMRAMのメモリセルの斜視図である。図示するように、ディジット線DLに流れる書き込み電流I 2によって、図示するような向きの困難軸方向磁界H<sub>x</sub>が発生する。また、ビット線に流れる書き込み電流I 1によって、図示するような向きの容易軸方向磁界H<sub>y</sub>が発生する。書き込み動作に当たって、ディジット線カレントソース15及びビット線カレントソース18、19は、困難軸方向磁界H<sub>x</sub>と容易軸方向磁界H<sub>y</sub>の大きさとが等しくなるよう、ディジット線DL及びセンス線SLにそれぞれ書き込み電流I 1、I 2を供給する。

#### 【0054】

次に読み出し動作について、同じくメモリセルMC 21からデータを読み出す場合を例に挙げて説明する。

#### 【0055】

まず、ロウデコーダ12により与えられたロウアドレスデコード信号に基づいて、ワード線WL 2が選択される。これにより、メモリセルMC 21のスイッチングトランジスタ31はオン状態となる。

#### 【0056】

そして、ビット線セクタ17がビット線BL 1を選択する。これにより、ビット線BL 1はビット線カレントソース18に接続される。そして、ビット線カレントソース18から読み出し電流がビット線BL 1に供給される。

#### 【0057】

読み出し電流はメモリセルMC 21の磁気抵抗素子30及びスイッチングトランジスタ31を通して接地電位に流れ込む。この結果、磁気抵抗素子30における電圧降下が、ビット線BL 1に現れる。すなわち、メモリセルMC 21に保持されているデータがビット線BL 1に読み出される。

#### 【0058】

そして、ビット線セクタ17によってビット線BL 1に接続されたセンスア

ンプ20が、ビット線BL1に読み出されたデータを増幅する。

#### 【0059】

上記本実施形態に係るMRAMであると、選択メモリセルに隣接するメモリセルへの誤書き込みの発生を抑制し、書き込み動作の信頼性を向上できる。この点に付き以下説明する。

#### 【0060】

図6は、メモリセルアレイの平面図であり、図3を簡略化したものである。なお、図面では(6×4)個のメモリセルのみを図示している。そして、上記で説明したように、ディジット線DL2とビット線BL1との交点にあるメモリセルMC21にデータを書き込む場合を想定する。

#### 【0061】

メモリセルMC21にデータを書き込む場合には、上記のように、ディジット線DL2及びビット線BL1に書き込み電流I1、I2が供給される。これにより、メモリセルMC21には困難軸方向磁界H<sub>x</sub>及び容易軸方向磁界H<sub>y</sub>が与えられる。この際、メモリセルMC21と同一行にあるメモリセルMC20、MC22、MC23、…MC2<sub>n</sub>にも、ディジット線DL2に流れる電流I2により困難軸方向磁界H<sub>x</sub>が与えられる。また、メモリセルMC21と同一列にあるメモリセルMC01、MC11、MC31、MC41、…MC<sub>m</sub>1にも、ビット線SL1に流れる電流I2により容易軸方向磁界H<sub>y</sub>が与えられる。また、メモリセルMC20、MC22は、ディジット線DL2に流れる電流I1による困難軸方向磁界H<sub>x</sub>のみならず、ビット線BL1に流れる電流I2による容易軸方向の漏れ磁界H<sub>y</sub>の影響も受ける。またメモリセルMC11、MC31は、ビット線BL1に流れる電流I2による容易軸方向H<sub>y</sub>のみならず、ディジット線DL2に流れる電流I1による困難軸方向の漏れ磁界H<sub>x</sub>の影響も受ける。以下では、ディジット線DL2とビット線BL1のいずれかによってのみ磁界の影響を受けるメモリセルMC01、MC41…、及びメモリセルMC23…を半選択セル、ディジット線DL2とビット線BL1との両方から漏れ磁界の影響を受けるメモリセルMC11、MC31、MC20、MC22を隣接セルと呼ぶことにする。

#### 【0062】



MRAMでは、選択メモリセルMC21にデータを書き込む際の半選択セルへのデータの誤書き込みの原因として、半選択セルにおける不良の存在（書き込み閾値が低い）、及び熱攪乱による磁化反転の2つが知られている。従って、半選択セルへのデータの誤書き込みを防止するように、素子の材料選定や構造設計が行われる。

#### 【0063】

隣接セルでは、ディジット線及びビット線の一方のみならず、他方からの漏れ磁界の影響を受ける。従って、誤書き込みに関して、最も慎重な設計が求められる。すなわち、隣接セルへの誤書き込みを如何に防止するかが、MRAMの書き込み動作マージンを最大にする方法であるということが出来る。

#### 【0064】

図7、図8は、配線周囲における磁界分布を示す図である。図7は、3mAの電流の流れる幅 $w = 300\text{ nm}$ 、厚さ $h = 100\text{ nm}$ の配線上面から $50\text{ nm}$ 離れた位置における、配線幅方向の磁界強度分布を示している。縦軸が磁界強度であり、横軸が配線の中心位置からの距離である。図8は、幅、厚さともに $100\text{ nm}$ の配線上面の磁界強度を、二次元等高線で示している。縦軸が容易軸方向、横軸が困難軸方向を示している。図7、図8に示されるように、配線周囲の磁界は、緩やかに減衰しつつ広がっている。仮に図8において、配線を $100\text{ nm}$ 間隔で配置した場合、隣接配線位置（ $x = 200\text{ nm}$ ）における磁界強度は、原点（ $x = 0\text{ nm}$ ）における値の $1/7$ 程度にまで減衰する。この値の比を、以後減衰定数 $a$ と定義づけることにする。減衰定数は、配線形状、並びにシールド及び磁界集中に用いられる強磁性体膜の有無により変化する。

#### 【0065】

図9は、選択メモリセルの書き込み閾値を示すグラフ（アステロイド曲線）である。縦軸は容易軸方向磁界 $H_y$ 、横軸は困難軸方向磁界 $H_x$ である。なお、書き込み閾値は、単磁区磁化の一斉回転を仮定し、下記の所謂Stoner-Wolfarthの関係式により導き出したものである。Stoner-Wolfarthの関係式として、以下の式を用いた。

$$H_x^{(2/3)} + H_y^{(2/3)} = H_s^{(2/3)}$$

なお、選択メモリセルMC 2 1の容易軸方向の異方性磁界 $H_s$ （保持力）を300eと仮定している。図中の破線は、選択メモリセルの書き込み閾値の特性がばらついた場合を示しており、容易軸方向の異方性磁界が3 $\sigma$ で50eばらつくものと仮定した。

#### 【0066】

例えば図5における選択メモリセルMC 2 1のアステロイド曲線が、図8である。そして、 $H_x(2/3) + H_y(2/3) > 30(2/3)O_e$ が満たされた場合に、磁気抵抗素子素子の磁化の向きが変化し、データが書き込まれる。すなわち、図9中に示す領域のそれぞれが、書き込み領域、非書き込み領域となる。

#### 【0067】

図10は、選択メモリセルに困難軸方向で隣接する隣接セルのアステロイド曲線である。図9と同じく、縦軸は容易軸方向磁界 $H_y$ 、横軸は困難軸方向磁界 $H_x$ である。図6の例であると、選択メモリセルMC 2 1に隣接して、且つビット線BL 1を共通とする隣接セルMC 1 1またはMC 3 1のアステロイド曲線に相当する。これらの隣接セルMC 1 1、MC 3 1は、図7、図8で説明したように、ディジット線DL 2に流れる電流 $I_1$ による困難軸方向磁界 $H_x$ の漏れ磁界の影響を受ける。従って、図10に示すように、困難軸方向磁界 $H_x$ が大きいと、容易にデータが書き込まれてしまう。

#### 【0068】

また図11は、選択メモリセルに容易軸方向で隣接する隣接セルのアステロイド曲線である。図9と同じく、縦軸は容易軸方向磁界 $H_y$ 、横軸は困難軸方向磁界 $H_x$ である。図6の例であると、選択メモリセルMC 2 1に隣接して、且つディジット線DL 2を共通とする隣接セルMC 2 0またはMC 2 2のアステロイド曲線に相当する。これらの隣接セルMC 2 0、MC 2 2は、図7、図8で説明したように、ビット線BL 1に流れる電流 $I_2$ による容易軸方向磁界 $H_y$ の漏れ磁界の影響を受ける。従って、図11に示すように、容易軸方向磁界 $H_y$ が大きいと、容易にデータが書き込まれてしまう。

#### 【0069】

図12は、図9乃至図11のグラフを重ねたものである。図12に示されるよ

うに、図10、図11に示した隣接セルへの誤書き込みの発生閾値を鑑みた場合、誤書き込みを防止しつつ、確実に選択メモリセルへデータを書き込む為には、次の条件が満たされることが必要である。すなわち、容易軸方向での隣接セルMC20、MC22のアステロイド曲線と、困難軸方向での隣接セルMC11、MC31のアステロイド曲線と、選択メモリセルMC21のアステロイド曲線とで囲まれた範囲内に、容易軸方向磁界 $H_y$ 及び困難軸方向磁界 $H_x$ が設定されていることである。また、異方性磁界のバラツキを考慮した場合には、上記範囲より狭い、図12において斜線で示した範囲内に、容易軸方向磁界 $H_y$ 及び困難軸方向磁界 $H_x$ が設定されていることが必要である。この動作領域内において、最大の動作条件（動作マージン）が得られるのは、容易軸方向での隣接セルのアステロイド曲線と困難軸方向での隣接セルのアステロイド曲線との交点P1と、原点とを結ぶ直線上である。すなわち、理想的なアステロイドを考えた場合、容易軸方向磁界 $H_y$ =困難軸方向磁界 $H_x$ が満たされる場合に、最大の動作マージンが与えられる。すなわち、隣接セルへの誤書き込みを防止しつつ、選択メモリセルへ確実に書き込みを行うことが出来る。また、書き込み電流の設定値としては、電流源回路の動作マージンなどを考えて、発生する磁界が、P1と、原点とを結ぶ直線上であって、なおかつ、斜線部の中心近傍にするのが、望ましい。

#### 【0070】

ところで、磁界は金属配線層に電流を流すことによって発生する。発生する磁界の強度は電流値に依存すると共に、電流が流れる金属配線層の形状や金属配線からの距離にも依存する。但し、メモリセルアレイ内においては、磁気抵抗素子に用いられる膨大な数の磁性体がアレイ状に並んでいる。従って、実際の発生磁界は非常に複雑な様相を呈することになる。しかし、近似的には、アンペールの定理から、配線周囲の磁界は配線を取り囲む閉じた積分線路長 $l$ で電流値を除算することにより、見積もることができる。図13は金属配線層の断面図である。図示するように、金属配線層52の表面から $k$ だけ離れた閉路を考えると、その線路長 $l$ は以下の式で表される。

$$l = 2(w + h) + 2\pi \cdot k$$

但し、 $w$ は金属配線層52の幅、 $h$ は高さである。すると、この金属配線層の周

囲に形成される磁界Hは以下の式で表される。

$$H = I / l = I / 2 \cdot (w + h + \pi \cdot k)$$

本実施形態の場合について、より具体的に図5を用いて説明する。ディジット線DLの幅を $w_1$ 、厚さを $h_1$ 、磁性体膜に対向する側のディジット線DL表面とメモリセルの磁気抵抗素子30の磁性体膜47までの最短距離を $k_1$ 、ビット線BLの幅を $w_2$ 、厚さを $h_2$ 、磁性体膜に対向する側のビット線BL表面とメモリセルの磁気抵抗素子30の磁性体膜47までの最短距離を $k_2$ とし、ディジット線DLに流れる書き込み電流を $I_1$ 、ビット線SLに流れる書き込み電流を $I_2$ とする。すると、ディジット線カレントソース15がディジット線DLに書き込み電流 $I_1$ を供給することにより発生する困難軸方向磁界 $H_x$ は、以下の式で表される。

$$H_x = I_1 / 2 \cdot (w_1 + h_1 + \pi \cdot k_1)$$

また、ビット線カレントソース18、19がビット線BLに書き込み電流 $I_2$ を供給することにより発生する容易軸方向磁界 $H_y$ は、以下の式で表される。

$$H_y = I_2 / (w_2 + h_2 + \pi \cdot k_2)$$

の関係で磁界 $H_y$ が発生する。

#### 【0071】

すなわち、 $H_x = \alpha_1 \times I_1$ 、 $H_y = \alpha_2 \times I_2$ （但し $\alpha_1$ 、 $\alpha_2$ は金属配線層の形状等に関する係数）である。従って、本実施形態において $H_x = H_y$ を満たすためには、 $I_1 = I_2 \times (\alpha_2 / \alpha_1)$ が満たされることが必要である。但し、前述のように、磁界強度は金属配線層の形状以外の要素に依存する場合もある。従って、 $H_x = H_y$ が満たされれば、書き込み電流の値は、必ずしも $I_1 = I_2 \times (\alpha_2 / \alpha_1)$ の関係に限定されるものではない。

#### 【0072】

次に、この発明の第2の実施形態に係る半導体記憶装置について、図14乃至図17を用いて説明する。図14乃至図17は、MRAMセルのアステロイド曲線である。

#### 【0073】

上記第1の実施形態では、磁気抵抗素子の書き込み閾値について、単磁区磁化

の一斉反転を仮定し、理想的なアステロイド曲線が得られる場合について説明した。しかし、磁気抵抗素子は、磁化反転過程において、磁壁、異方性分散、エッジドメイン等の影響を受ける。その結果、閾値曲線は理想的なアステロイド曲線からずれていくのが通常である。これらを数値的に厳密に表現することは容易ではないが、現象的には磁壁の存在により、困難軸方向に延びたアステロイド曲線が生じることが知られている。

#### 【0074】

本実施形態は、上記のように、アステロイド曲線が理想的な形状からずれた場合に関するものである。

#### 【0075】

上記のように、困難軸方向に一定値だけ延びたアステロイド曲線についての Stoner-Wolfarth の関係式は、以下のように表される。

$$(b \times H_x)^{(2/3)} + H_y^{(2/3)} = H_s^{(2/3)}$$

但し  $b$  は係数であり、定数であるか、何らかの変数を持った関数であるかは、場合によって異なる。図 14 は、選択メモリセルにおいて、上記関係式に従ったアステロイド曲線である。第 1 の実施形態と同様に、容易軸方向の異方性磁界  $H_s$  を 300 e と仮定している。また、図中の破線は容易軸方向の異方性磁界が  $3\sigma$  で 50 e ばらついた場合を示している。

#### 【0076】

また図 15、図 16 は、選択メモリセルに困難軸方向及び容易軸方向で隣接する隣接セルのアステロイド曲線である。すなわち、図 6 において選択メモリセルを MC 21 とした場合、図 15 は隣接セル MC 11 及び MC 31、図 16 は隣接セル MC 20、MC 22 のアステロイド曲線である。

#### 【0077】

図 17 は、図 14 乃至図 16 のグラフを重ねたものである。すなわち、誤書き込みを防止しつつ、確実に選択メモリセルヘデータを書き込むためには、容易軸方向での隣接セル MC 20、MC 22 のアステロイド曲線と、困難軸方向での隣接セル MC 11、MC 31 のアステロイド曲線と、選択メモリセル MC 21 のアステロイド曲線とで囲まれた範囲内に、容易軸方向磁界  $H_y$  及び困難軸方向磁界

$H_x$  が設定されていることが必要である。また、異方性磁界のバラツキを考慮した場合には、上記範囲より狭い図 17 の斜線で示した範囲内に設定されていることが必要である。このことは、上記第 1 の実施形態と同様である。

#### 【0078】

しかし、第 1 の実施形態と異なり、上記動作領域内において最大の動作条件が得られるのは、容易軸方向での隣接セルのアステロイド曲線と困難軸方向での隣接セルのアステロイド曲線との交点  $P_2$  と、原点とを結ぶ直線上ではない。磁界のバラツキを考慮した、両隣接セルの最小のアステロイド曲線の交点  $P_3$  と、原点との交点とを結ぶ直線上である。すなわち、交点  $P_3$  と原点とを結ぶ、 $H_x = c \times H_y$  ( $c$ : 係数) なる関係を満たすような線形な動作が、最大の動作マージンを与える。 $c$  は  $b \times c = 1$  を満たす程度の値である。また、書き込み電流の設定値としては、電流源回路の動作マージンなどを考えて、発生する磁界が、交点  $P_3$  と、原点とを結ぶ直線上であって、なおかつ、斜線部の中心近傍にするのが、望ましい。

#### 【0079】

また、上記第 1 の実施形態と同様に、電流と金属配線層の形状との関係を見ると、本実施形態においては、 $H_x = c \times H_y$  を満たすためには、 $I_1 = I_2 \times c \times (\alpha_2 / \alpha_1)$  が満たされれば良い。

#### 【0080】

次に、この発明の第 3 の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第 1、第 2 の実施形態を実現するための周辺回路の具体例に関するものである。図 18 は、本実施形態に係る MRAM の、特に周辺回路の回路図である。

#### 【0081】

図示するように、ディジット線カレントソース 15 は、p チャネル MOS トランジスタ 60、61 を備えている。p チャネル MOS トランジスタ 60 の電流経路の一端は電源電位に接続され、他端は p チャネル MOS トランジスタ 61 の電流経路の一端に接続されている。p チャネル MOS トランジスタ 61 の電流経路の他端はディジット線カレントソース 15 の出力端であり、ディジット線セレクト

タ 14 を介してディジット線 DL に接続される。また p チャネル MOS トランジスタ 61 のゲートには、書き込み命令信号の反転信号 /WRITE が入力される。

#### 【0082】

ディジット線カレントシンク 16 は、ディジット線 DL 毎に設けられた複数の n チャネル MOS トランジスタ 62、62、…を備えている。各 n チャネル MOS トランジスタ 62 の電流経路は、ディジット線 DL と接地電位との間に接続され、ゲートには書き込み命令信号 WRITE が入力される。

#### 【0083】

ビット線カレントソース / カレントシンク 18 は、カレントソース 18-1、カレントシンク 18-2 を備えている、カレントソース 18-1 は、p チャネル MOS トランジスタ 63、64 を有している。p チャネル MOS トランジスタ 63 の電流経路の一端は電源電位に接続され、他端は p チャネル MOS トランジスタ 64 の電流経路の一端に接続されている。p チャネル MOS トランジスタ 64 の電流経路の他端はカレントソース 18-1 の出力端であり、ビット線セクタ 17 を介してビット線 BL に接続される。また p チャネル MOS トランジスタ 64 のゲートには、書き込み信号 WRITE と反転データ信号 /DATA との NAND 信号が入力される。カレントシンク 18-2 は、n MOS トランジスタ 65 を有している。n チャネル MOS トランジスタ 65 の電流経路は、ビット線セクタ 17 によって選択されるビット線 BL と接地電位との間に接続されている。また n チャネル MOS トランジスタ 65 のゲートには、書き込み信号 WRITE とデータ信号 DATA との AND 信号が入力される。

#### 【0084】

ビット線カレントソース / カレントシンク 19 は、カレントソース 19-1、カレントシンク 19-2 を備えている、カレントソース 19-1 は、p チャネル MOS トランジスタ 66、67 を有している。p チャネル MOS トランジスタ 66 の電流経路の一端は電源電位に接続され、他端は p チャネル MOS トランジスタ 67 の電流経路の一端に接続されている。p チャネル MOS トランジスタ 67 の電流経路の他端はカレントソース 19-1 の出力端であり、ビット線セクタ

17を介してビット線BLに接続される。またpチャネルMOSトランジスタ67のゲートには、書き込み信号WRITEとデータ信号DATAとのNAND信号が入力される。カレントシンク19-2は、nMOSトランジスタ68を有している。nチャネルMOSトランジスタ68の電流経路は、ビット線セクタ17によって選択されるビット線BLと接地電位との間に接続されている。またnチャネルMOSトランジスタ68のゲートには、書き込み信号WRITEと反転データ信号/DATAとのAND信号が入力される。

#### 【0085】

カレントソース15、18-1、19-1にそれぞれ含まれるpチャネルMOSトランジスタ60、63、66のゲートには、電流供給回路70が接続されている。電流供給回路70は、pチャネルMOSトランジスタ71、nチャネルMOSトランジスタ72、73、及び電流源74を備えている。

#### 【0086】

pチャネルMOSトランジスタ71の電流経路の一端は電源電位に接続され、電流経路の他端及びゲートは共通接続されている。nチャネルMOSトランジスタ72の電流経路は、pチャネルMOSトランジスタ71の電流経路の他端とゲートとの接続ノードと。接地電位との間に接続されている。またnチャネルMOSトランジスタ72のゲートは、nチャネルMOSトランジスタ73のゲートに接続されている。nチャネルMOSトランジスタ73の電流経路の一端は接地電位に接続され、他端はゲートと共通接続され且つ電流源74に接続されている。そして、pチャネルMOSトランジスタ71の電流経路の他端とゲートとの接続ノードは、カレントソース15、18-1、19-1にそれぞれ含まれるpチャネルMOSトランジスタ60、63、66のゲートに接続されている。すなわち、pチャネルMOSトランジスタ71と、pチャネルMOSトランジスタ60、63、66とでカレントミラー回路が形成されている。

#### 【0087】

電流供給回路70に含まれる電流源74の具体的な構成例について、図19を用いて説明する。図19は電流源74の回路図である。図示するように、電流源74はバンドギャップリファレンス(BGR)回路を利用したものであり、大ま



かには回路ブロック 75、76、及び p チャンネル MOS トランジスタ 77、78 を含んでいる。

#### 【0088】

回路ブロック 75 は、p チャンネル MOS トランジスタ 79、80、n チャンネル MOS トランジスタ 81、82、抵抗素子 83、及びダイオード 84、85 を有している。p チャンネル MOS トランジスタ 79 は、電流経路の一端が電源電位に接続され、他端が n チャンネル MOS トランジスタ 81 の電流経路の一端に接続され、ゲートが p チャンネル MOS トランジスタ 80 のゲートに接続されている。p チャンネル MOS トランジスタ 80 は、電流経路の一端が電源電位に接続され、他端がゲート及び n チャンネル MOS トランジスタ 82 の電流経路の一端に接続されている。n チャンネル MOS トランジスタ 81 は、ゲートと前記電流経路の一端とが共通接続され、電流経路の他端がダイオード 84 のアノードに接続されている。ダイオード 84 のカソードは接地電位に接続されている。n チャンネル MOS トランジスタ 82 は、ゲートが n チャンネル MOS トランジスタ 81 のゲートに接続され、電流経路の他端が抵抗素子 83 の一端に接続されている。抵抗素子 83 の他端はダイオード 85 のアノードに接続され、ダイオード 85 のカソードは接地電位に接続されている。

#### 【0089】

回路ブロック 76 は、p チャンネル MOS トランジスタ 86、87、n チャンネル MOS トランジスタ 88、89、抵抗素子 90、及びダイオード 91 を有している。p チャンネル MOS トランジスタ 86 は、電流経路の一端が電源電位に接続され、他端がゲート及び n チャンネル MOS トランジスタ 88 の電流経路の一端に接続され、ゲートが p チャンネル MOS トランジスタ 87 のゲートに接続されている。p チャンネル MOS トランジスタ 87 は、電流経路の一端が電源電位に接続され、他端が n チャンネル MOS トランジスタ 89 の電流経路の一端に接続されている。n チャンネル MOS トランジスタ 88 は、電流経路の他端が抵抗素子 90 の一端に接続され、ゲートが n チャンネル MOS トランジスタ 89 のゲート及び電流経路の一端に接続されている。抵抗素子 90 の他端は接地電位に接続されている。n チャンネル MOS トランジスタ 89 は、電流経路の一端とゲートとが共通接続され

、電流経路の他端がダイオード 91 のアノードに接続されている。ダイオード 91 のカソードは接地電位に接続されている。

#### 【0090】

そして、p チャネル MOS トランジスタ 79 のゲートと、p チャネル MOS トランジスタ 80 のゲート及び電流経路の他端との接続ノードの電位が、回路ブロック 75 の出力信号となる。また、p チャネル MOS トランジスタ 86 のゲート及び電流経路の他端と、p チャネル MOS トランジスタ 87 のゲートとの接続ノードの電位が、回路ブロック 76 の出力信号となる。

#### 【0091】

p チャネル MOS トランジスタ 77、78 は、電流経路の一端が電源電位に接続され、他端が共通接続され、それぞれのゲートに回路ブロック 75、76 の出力信号がそれぞれ入力される。そして、p チャネル MOS トランジスタ 77、78 の電流経路の他端の接続ノードにおける電流が、電流源 74 の出力電流  $I_{source}$  となる。この出力電流  $I_{source}$  は、電流源回路 70 における n チャネル MOS トランジスタ 73 の電流経路の他端及びゲートに供給される。

#### 【0092】

次に、上記構成の各回路の書き込み時における動作について説明する。書き込み時には、書き込み命令信号  $WRITE$  が “H” レベルとされる。そして、“1” データ書き込み時には、データ信号  $DATA$  が “H” レベルとされる。従って、従って、書き込み命令信号  $WRITE$  とデータ信号  $DATA$  との NAND 演算結果は “L” レベル、AND 演算結果は “H” レベル、書き込み命令信号  $WRITE$  と反転データ信号  $\neg DATA$  との NAND 演算結果は “H” レベル、AND 演算結果は “L” レベルとなる。

#### 【0093】

よって、ディジット線カレントソース 15 における p チャネル MOS トランジスタがオン状態となる。また、ディジット線カレントシンク 16 における n チャネル MOS トランジスタ 62 がオン状態となる。従って、電流源 74 が出力する電流  $I_{source}$  に応じて電流供給回路 70 が出力する電流に基づいて、ディジット線ソース 15 がディジット線  $DL$  に書き込み電流  $I_1$  を供給する。この書き込み

電流  $I_1$  は、ディジット線カレントシンク 16 におけるいずれかの n チャネル MOS トランジスタ 62 を介して接地電位に流れ込む。

【0094】

更に、ビット線カレントソース／カレントシンク 18 においては、p チャネル MOS トランジスタ 64 がオフ状態、n チャネル MOS トランジスタ 65 がオン状態となり、カレントシンク 18-2 が動作する。またビット線カレントソース／カレントシンク 19 においては、p チャネル MOS トランジスタ 67 がオン状態、n チャネル MOS トランジスタ 68 がオフ状態となり、カレントソース 19-1 が動作する。従って、電流供給回路 70 が出力する電流に基づいて、カレントソース 19-1 がビット線 BL に書き込み電流  $I_2$  を供給する。この書き込み電流  $I_2$  は、カレントシンク 18-2 における n チャネル MOS トランジスタ 65 を介して接地電位に流れ込む。

【0095】

電流供給回路 70 は、電流源 74 の出力する電流  $I_{source}$  に応じた電流を供給する。以下、電流源 74 の動作を説明する。図 19 に示す電流源 74 は、温度に依存せずに一定の電流  $I_{source}$  を出力する。回路ブロック 75 において、ダイオード 84、85 のスイッチング特性が同じであると仮定する。すると、n チャネル MOS トランジスタ 81 とダイオード 84 との接続ノード A 点における電位  $V_a$ 、及び n チャネル MOS トランジスタ 82 と抵抗素子 83 との接続ノード B 点における電位  $V_b$  は以下の式で表される。

$$V_a = V_{ja}$$

$$V_b = V_{jb} + R_1 \cdot I_f$$

但し、 $V_{ja}$ 、 $V_{jb}$  はそれぞれダイオード 84、85 における電圧降下、 $R_1$  は抵抗素子 83 の抵抗値、 $I_f$  は p チャネル MOS トランジスタ 80 の供給する電流値である。カレントミラー回路の特性から、 $V_a = V_b$  であるから、電流  $I_f$  は以下の式で表される。

$$I_f = (V_{ja} - V_{jb}) / R_1 = \Delta V_j / R_1$$

すなわち、電流  $I_f$  は温度が上昇すると増加する。p チャネル MOS トランジスタ 80 と 78 とはカレントミラー回路を形成するから、p チャネル MOS トラン

ジスタ 78 が供給する電流  $I_{11}$  は以下の式で表される。

$$I_{11} = (W_{13}/W_{10}) \times I_f = (W_{13}/W_{10}) \times (\Delta V_j / R_1)$$

但し、 $W_{10}$ 、 $W_{13}$  は、p チャンネル MOS トランジスタ 80、78 のチャンネル幅である。すなわち、 $I_{11}$  は、p チャンネル MOS トランジスタ 80、78 のチャンネル幅の比で決定される。

#### 【0096】

また回路ブロック 76 において、n チャンネル MOS トランジスタ 88 と抵抗素子 90 との接続ノード C 点における電位  $V_c$ 、及び n チャンネル MOS トランジスタ 89 とダイオード 91 との接続ノード D 点における電位  $V_d$  は以下の式で表される。

$$V_c = R_2 \cdot I_r$$

$$V_d = V_j$$

但し、 $I_r$  は p チャンネル MOS トランジスタ 86 の供給する電流値、 $V_j$  はダイオード 91 における電圧降下である。カレントミラー回路の特性から、 $V_c = V_d$  であるから、電流  $I_r$  は以下の式で表される。

$$I_r = V_j / R_2$$

すなわち、電流  $I_r$  は温度が上昇すると低減する。p チャンネル MOS トランジスタ 86 と 77 とはカレントミラー回路を形成するから、p チャンネル MOS トランジスタ 77 が供給する電流  $I_{10}$  は以下の式で表される。

$$I_{10} = (W_{12}/W_{11}) \times I_r = (W_{12}/W_{11}) \times (V_j / R_2)$$

但し、 $W_{11}$ 、 $W_{12}$  は、p チャンネル MOS トランジスタ 77、86 のチャンネル幅である。すなわち、 $I_{10}$  は、p チャンネル MOS トランジスタ 86、77 のチャンネル幅の比で決定される。

#### 【0097】

そして、電流源 74 の出力電流  $I_{source}$  は  $I_{10} + I_{11}$  であるから、以下の式で表される。

$$I_{source} = (W_{13}/W_{10}) \times (\Delta V_j / R_1) + (W_{12}/W_{11}) \times (V_j / R_2)$$

$\Delta V_j$  の温度に関する微係数と、 $V_j$  の温度に関する微係数とは等しくない。従

って、 $(W13/W10)$ 、 $R1$ 、 $(W12/W11)$ 、 $R2$ の各パラメータを適切に調節することにより、 $I_{source}$ を温度に依存しないように設計できる。すなわち、図20のグラフに示すように、電流 $I10$ 、 $I11$ が互いに温度依存性を相殺することにより、 $I_{source}$ は温度に対して一定の値となる。

#### 【0098】

上記構成の回路構成において、書き込み電流 $I1$ 、 $I2$ の値は、ディジット線カレントソース15のpチャネルMOSトランジスタ60のゲート幅 $W1$ 、ビット線カレントソース/カレントシンク18、19のpチャネルMOSトランジスタ63、66のゲート幅 $W2$ 、 $W3$ によって制御できる。上記第1、第2の実施形態において、書き込み電流 $I1$ 、 $I2$ の関係は、それぞれ $I1 = I2 \times (\alpha 2 / \alpha 1)$ 、 $I1 = I2 \times c \times (\alpha 2 / \alpha 1)$ である。従って、 $(\alpha 2 / \alpha 1)$ 及び $c \times (\alpha 2 / \alpha 1)$ に応じて、それぞれのトランジスタのゲート幅 $W1$ 、 $W2$ 、 $W3$ を設計する。すなわち、 $W1 = W2 \times (\alpha 2 / \alpha 1) = W3 \times (\alpha 2 / \alpha 1)$ 、及び $W1 = W2 \times c \times (\alpha 2 / \alpha 1) = W3 \times c \times (\alpha 2 / \alpha 1)$ とする。例えば $I1 = I2$ に設定したい場合には、 $W1 = W2 = W3$ とする。

#### 【0099】

また、電流供給回路70は、動作の安定及び高速化を図るため、書き込み時以外でも動作させておく場合が一般的である。その際、消費電力を抑えるため電流供給回路70には大きな駆動力を持たせないことが望ましい。すなわち、非書き込み時には、書き込みに必要な電流よりも小さい電流を供給するように設計する。そのため、電流供給回路70のpチャネルMOSトランジスタ71のゲート幅 $W0$ は、 $W0 < W1$ 、 $W2$ とすることが望ましい。

#### 【0100】

なお、ビット線カレントソース18-1、19-1がそれぞれ供給する書き込み電流 $I2$ は同一である必要はない。例えば図21に示すように、アステロイド曲線が容易軸方向にずれていたとする。すると、“1”データを書き込む場合と“0”データを書き込む場合とで、容易軸方向の閾値磁界が異なる。すなわち、ビット線BLに流すべき書き込み電流 $I2$ の値が異なる。このような場合には、ビット線カレントソース18-1、19-1のpチャネルMOSトランジスタ6

3、66のゲート幅 $W_2$ 、 $W_3$ を異なる値で設計する。例えば、ディジット線カレントソース15の供給する書き込み電流 $I_1$ を、ビット線カレントソース18-1の供給する書き込み電流 $I_2$ の $k$ 倍に、ビット線カレントソース18-1の供給する書き込み電流 $I_2$ を、ビット線カレントソース19-1の供給する書き込み電流 $I_2$ の1倍にしたい場合には、 $W_1 = k \times W_2$ 、 $W_2 = 1 \times W_3$ とすれば良い。

#### 【0101】

図22は、上記第3の実施形態の変形例に係るMRAMの周辺回路の回路図である。本変形例は、書き込み電流 $I_1$ 、 $I_2$ を、それぞれ別々の電流供給回路によって制御するための構成を示すものである。

#### 【0102】

図示するように、電流供給回路70-1、70-2が、ディジット線カレントソース15、ビット線カレントソース18-1及び18-2にそれぞれ対応して設けられている。電流供給回路70-1、70-2は、それぞれ上記第3の実施形態と同様の構成を有しているので説明は省略する。そして電流供給回路70-1は、ディジット線カレントソース15のpチャネルMOSトランジスタ60のゲートに所定の信号を供給して、ディジット線カレントソース15が供給する書き込み電流 $I_1$ を制御する。また電流供給回路70-2は、ビット線カレントソース18-1、19-1のpチャネルMOSトランジスタ63、66のゲートに所定の信号を供給して、ビット線カレントソース18-1、19-1が供給する書き込み電流 $I_2$ を制御する。

#### 【0103】

本変形例の場合であっても、上記第3の実施形態で説明したとおり、ディジット線カレントソースのpチャネルMOSトランジスタ60、ビット線カレントソース18-1のpチャネルMOSトランジスタ63、ビット線カレントソースのpチャネルMOSトランジスタ66のゲート幅 $W_1$ 、 $W_2$ 、 $W_3$ を制御することで、上記第1、第2の実施形態を実現できる。

#### 【0104】

次に、この発明の第4の実施形態に係る半導体記憶装置について説明する。本

実施形態は、温度によってアステロイド曲線の形状が変化した場合においても、上記第1、第2の実施形態で説明した書き込み電流  $I_1$ 、 $I_2$  の関係を維持するための回路構成に関するものである。

#### 【0105】

図23はアステロイド曲線を示している。図示するように、アステロイド曲線は低温になると拡がり、高温になると縮む。すなわち、低温になるとMTJ素子の書き込み閾値磁界は上昇し、高温になると低下する。従って、書き込み電流  $I_1$ 、 $I_2$  の絶対値は、上記第1、第2の実施形態で説明した書き込み電流  $I_1$ 、 $I_2$  の関係を維持させつつ、温度によって変化させる必要がある。本実施形態は、このような場合における周辺回路の構成を示すものである。

#### 【0106】

本実施形態に係るMRAMは、上記第3の実施形態で説明した図18における電流供給回路70、及び図22における電流供給回路70-1、70-2の電流源74を、図24に示す構成に置き換えたものである。図24は、電流源74の回路図である。

#### 【0107】

図示するように、本実施形態に係る電流源74は、上記第3の実施形態で説明した図19に示す構成において、回路ブロック92及びpチャネルMOSトランジスタ93を付加した構成を有している。pチャネルMOSトランジスタ92は、電流経路がpチャネルMOSトランジスタ78の電流経路の他端と、pチャネルMOSトランジスタ77の電流経路の他端との間に接続され、ゲートには、制御信号Opt1の反転信号が入力される。

#### 【0108】

回路ブロック93は、pチャネルMOSトランジスタ94、及びnチャネルMOSトランジスタ95～97を有している。pチャネルMOSトランジスタ94は、電流経路の一端が電源電位に接続され、他端が、nチャネルMOSトランジスタ96の電流経路の一端及びゲートに接続され、ゲートに回路ブロック75の出力信号が入力される。nチャネルMOSトランジスタ95は、電流経路の一端がpチャネルMOSトランジスタ77、92の接続ノードに接続され、他端がn

MOSトランジスタ97の電流経路の一端に接続され、ゲートに制御信号Opt2が入力される。nチャネルMOSトランジスタ96は、電流経路の一端及びゲートが共通接続され、電流経路の他端が接地電位に接続されている。nチャネルMOSトランジスタ97は、電流経路の他端が接地電位に接続され、ゲートがnチャネルMOSトランジスタ96のゲートに接続されている。そして、nチャネルMOSトランジスタの供給する電流を、電流I12とする。従って、電流源74の出力電流Isourceは、I10、I11、及びI12によって決定される。

#### 【0109】

次に上記構成の電流源74の動作について、図25を用いて説明する。図25は、電流と温度との関係を示すグラフである。

#### 【0110】

前述の通り、回路ブロック75は、温度に対して増加する成分を与える。また回路ブロック76は、温度に対して減少する成分を与える。回路ブロック93は、回路ブロック75の出力信号に応じて動作するから、温度に対して増加する成分を与える。従って、pチャネルMOSトランジスタ77、78、nチャネルMOSトランジスタ95が供給する電流I10、I11、I12は、それぞれ図25に示すような温度依存性を有する。そして、Isourceは、I10、I11、及びI12に依存する。

#### 【0111】

まず、制御信号Opt1=Opt2="L"の場合、pチャネルMOSトランジスタ92及びnチャネルMOSトランジスタ95はオフ状態である。従って、Isource=I10である。

#### 【0112】

次に、制御信号Opt1="H"、Opt2="L"の場合、pチャネルMOSトランジスタ92はオン状態、nチャネルMOSトランジスタ95はオフ状態である。従って、Isource=I10+I11となる。この場合に、電流源74は最大の電流を供給できる。

#### 【0113】

次に、制御信号Opt1="L"、Opt2="H"の場合、pチャネルMO



Sトランジスタ92はオフ状態、nチャネルMOSトランジスタ95はオン状態である。従って、 $I_{source} = I_{10} - I_{12}$ となる。この場合に、電流源74の最小の電流を供給できる。

#### 【0114】

次に、制御信号 $Opt1 = Opt2 = "H"$ の場合、pチャネルMOSトランジスタ92及びnチャネルMOSトランジスタ95はオン状態である。従って、 $I_{source} = I_{10} + I_{11} - I_{12}$ となる。この場合、電流源74は、制御信号 $Opt1 = "H"$ 、 $Opt2 = "L"$ の場合と、制御信号 $Opt1 = "L"$ 、 $Opt2 = "H"$ の場合との中間の電流を供給できる。

#### 【0115】

上記のように、本実施形態に係る電流源であると、BGR回路において温度依存性を持たせている。上記第3の実施形態で説明した図19の構成であると、電流源74の出力電流 $I_{source}$ は下記の式で表される。

$$I_{source} = (W_{13}/W_{10}) \times (\Delta V_j / R_1) + (W_{12}/W_{11}) \times (V_j / R_2)$$

そして、一般的に $\Delta V_j$ の温度に関する微係数は、 $V_j$ の温度に関する微係数よりも小さい。従って、 $(W_{13}/W_{10}) \div R_1 = (W_{12}/W_{11}) \div R_2$ とすることで、電流源74は、高温になると電流供給量が減少する。すなわち、出力電流 $I_{source}$ に対して、温度が上昇するに従って電流量が低下する電流 $I_{10}$ の影響が、温度が上昇するに従って電流量が増加する電流 $I_{11}$ の影響よりも大きくなる。従って、出力電流 $I_{source}$ は、温度の上昇に伴って減少する。

#### 【0116】

更に本実施形態に係る回路構成であると、温度上昇に対して負の増加傾向を有する電流 $I_{10}$ に対して、正の増加傾向を有する電流 $I_{11}$ を加算し、温度上昇に対して正の増加傾向を有する電流 $I_{12}$ を減算できる。そして、電流 $I_{10}$ に対する電流 $I_{11}$ の加算は、制御信号 $Opt1$ によって行われ、電流 $I_{10}$ に対する電流 $I_{12}$ の減算は、制御信号 $Opt2$ によって行われる。従って、制御信号 $Opt1$ 、 $Opt2$ によって、出力電流 $I_{source}$ は下記の4種類の値に設定できる(図25参照)。

$Opt1 = "L"、Opt2 = "L" : I_{source} = I_{10}$

$Opt1 = "H"、Opt2 = "L" : I_{source} = I_{10} + I_{11}$

$Opt1 = "L"、Opt2 = "H" : I_{source} = I_{10} - I_{12}$

$Opt1 = "H"、Opt2 = "H" : I_{source} = I_{10} + I_{11} - I_{12}$

すなわち、温度変化に伴うアステロイド曲線の変化に応じて、最も適当な出力電流  $I_{source}$  を選ぶことで、最適な書き込み電流  $I_1$ 、 $I_2$  を供給できる。なお、温度に対する電流変化がアステロイド曲線の変化と一致する  $I_{source}$  があれば、全温度範囲において制御信号  $Opt1$ 、 $Opt2$  は一定で良いが、そうでない場合には、温度範囲によって、制御信号  $Opt1$ 、 $Opt2$  を切り替えても良い。

#### 【0117】

図26は、上記第4の実施形態の変形例に係る電流源74の回路図である。本変形例は、上記第4の実施形態の図24において、回路ブロック94のpチャネルMOSトランジスタのゲートに、回路ブロック75の出力信号ではなく回路ブロック76の出力信号を入力したものである。本構成であると、回路ブロック93は、温度上昇に対して減少する成分を与えるようになる。すなわち、電流  $I_{11}$  は、温度上昇と共に減少する。

#### 【0118】

上記のように、本変形例であると、温度上昇に対して負の増加傾向を有する電流  $I_{10}$  に対して、正の増加傾向を有する電流  $I_{11}$  を加算し、温度上昇に対して負の増加傾向を有する電流  $I_{12}$  を減算できる。そして、電流  $I_{10}$  に対する電流  $I_{11}$  の加算は、制御信号  $Opt1$  によって行われ、電流  $I_{10}$  に対する電流  $I_{12}$  の減算は、制御信号  $Opt2$  によって行われる。この場合、電流源74の出力電流  $I_{source}$  の温度に対する変化の度合いを、図24、図25の場合に比べて緩やかにすることが出来る。

#### 【0119】

次に、この発明の第5の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第4の実施形態と同様に、温度変化に応じて電流  $I_{source}$  が変化する電流源に関するものである。第4の実施形態であると、電流源74は、そ

の出力電流  $I_{source}$  を 1 次関数的に変化させる。しかし、アステロイド曲線の温度に対する依存性は、必ずしも単純な 1 次関数では無い場合があり、特に高温になるほど縮みやすいという傾向がある。本実施形態は、このような場合に対応するための電流源の構成を示すものである。図 28 は、本実施形態に係る電流源 74 の回路図である。

#### 【0120】

図示するように、電流源 74 は、回路ブロック 75-1、76-1、93、及び p チャンネル MOS トランジスタ 99~100 を備えている。本実施形態に係る回路ブロック 75-1、76-1、93 は、上記第 4 の実施形態における回路ブロック 75、76、93 と同様であるので説明は省略する。なお、回路ブロック 93 における p チャンネル MOS トランジスタ 94 のゲートには、回路ブロック 75-1 の出力信号が入力され、n チャンネル MOS トランジスタ 95 のゲートには温度電圧  $V_{temp}$  が入力される。温度電圧  $V_{temp}$  については後述する。

#### 【0121】

p チャンネル MOS トランジスタ 98 の電流経路の一端は電源電位に接続され、ゲートには回路ブロック 76-1 の出力信号が入力される。p チャンネル MOS トランジスタ 99 の電流経路の一端は電源電位に接続され、ゲートには回路ブロック 76-1 の出力信号が入力される。p チャンネル MOS トランジスタ 100 は、電流経路の一端が p チャンネル MOS トランジスタ 99 の電流経路の他端に接続され、ゲートには温度電圧  $V_{temp}$  の反転信号が入力される。そして、p チャンネル MOS トランジスタ 98、100 の電流経路の他端、及び回路ブロック 93 における n チャンネル MOS トランジスタの電流経路の一端は共通接続されている。この共通接続ノードにおける電流が、電流源 74 の出力電流  $I_{source}$  となる。

#### 【0122】

図 29 は、温度センサの回路図である。温度センサは、温度に応じた温度電圧  $V_{temp}$  を生成する。図示するように、温度センサ 110 は、回路ブロック 75-2、76-2、120、及び p チャンネル MOS トランジスタ 111 を備えている。回路ブロック 75-2、76-2 の構成は、第 4 の実施形態における回路ブロック 75、76 と同様であるので説明は省略する。

## 【0123】

pチャネルMOSトランジスタ111は、電流経路の一端が電源電位に接続され、ゲートには回路ブロック76-2の出力信号が入力される。

## 【0124】

回路ブロック120は、pチャネルMOSトランジスタ121、及びpチャネルMOSトランジスタ122、123を有している。pチャネルMOSトランジスタ121は、電流経路の一端が電源電位に接続され、ゲートには回路ブロック75-2の出力信号が入力される。nチャネルMOSトランジスタ122は、電流経路の一端とゲートとが共通接続され、その共通接続ノードはpチャネルMOSトランジスタ121の電流経路の他端に接続されている。またnチャネルMOSトランジスタ122の電流経路の他端は、接地電位に接続されている。nチャネルMOSトランジスタ123は、電流経路の一端がpチャネルMOSトランジスタ111の電流経路の他端に接続され、他端が接地電位に接続され、ゲートがnチャネルMOSトランジスタ122のゲートに接続されている。

## 【0125】

上記構成の温度センサ110において、pチャネルMOSトランジスタ111とnチャネルMOSトランジスタ123との接続ノードの電位を、インバータで反転させた電圧が、温度電圧 $V_{temp}$ である。

## 【0126】

上記温度センサ110において、回路ブロック75-2は、温度上昇と共に増加する要素であり、回路ブロック76-2は温度上昇と共に減少する成分である。そして、pチャネルMOSトランジスタ111とnチャネルMOSトランジスタ123との接続ノードの電流は、pチャネルMOSトランジスタ111が供給する電流と、nチャネルMOSトランジスタ123の供給する電流の差である。温度上昇と共に、pチャネルMOSトランジスタ111が供給する電流は減少し、nチャネルMOSトランジスタ123が供給する電流は増加する。その結果、pチャネルMOSトランジスタ111とnチャネルMOSトランジスタ123の接続ノードの電位は低下する。逆に、温度が低下すれば、pチャネルMOSトランジスタ111が供給する電流は増加し、nチャネルMOSトランジスタ123

が供給する電流は減少する。その結果、pチャネルMOSトランジスタ111とnチャネルMOSトランジスタ123の接続ノードの電位は上昇する。

#### 【0127】

そして、pチャネルMOSトランジスタ111とnチャネルMOSトランジスタ123の接続ノードの電位はインバータで反転されて、温度電圧 $V_{temp}$ となる。従って、ある所定の閾値温度より低い場合には、温度電圧 $V_{temp}$  = “L” レベル、高い場合には、温度電圧 $V_{temp}$  = “H” レベルとなる。

#### 【0128】

次に上記構成の電流源74の動作について、図30を用いて説明する。図30は、温度と温度電圧 $V_{temp}$ 、及び温度と電流との関係を示すグラフである。

#### 【0129】

pチャネルMOSトランジスタ98、99は、回路ブロック76-1の出力信号に応じて動作する。従って、pチャネルMOSトランジスタ98、99が供給する電流 $I_{13}$ 、 $I_{15}$ は、温度上昇に伴って低下する。回路ブロック93は、回路ブロック75-1の出力信号に応じて動作する。従って、nチャネルMOSトランジスタ95の供給する電流 $I_{14}$ は、温度上昇に伴って増加する。すなわち、電流 $I_{13}$ 、 $I_{14}$ 、及び $I_{15}$ は、図30に示す特性を有する。そして、 $I_{source}$ は、 $I_{13}$ 、 $I_{14}$ 、及び $I_{15}$ に依存する。

#### 【0130】

まず、所定の温度よりも低い場合、温度電圧 $V_{temp}$  = “L” である。従って、pチャネルMOSトランジスタ100はオフ状態であり、回路ブロック93のnチャネルMOSトランジスタ95もオフ状態である。従って、 $I_{source} = I_{13}$  である。

#### 【0131】

次に、所定の温度よりも高い場合、温度電圧 $V_{temp}$  = “H” である。従って、pチャネルMOSトランジスタ100はオン状態であり、回路ブロック93のnチャネルMOSトランジスタ95もオン状態である。従って、 $I_{source} = I_{13} + I_{15} - I_{14}$  である。その結果、所定の温度の前後で、電流源74の出力電流 $I_{source}$ の傾きが変化する。本実施形態の場合であると、所定の温度を超える

と、 $I_{source}$ の傾きが大きくなる。

#### 【0132】

上記のように、本実施形態に係るMRAMでは、電流源と温度センサとを組み合わせている。そして温度センサによって所定の温度を超えたことを検出した場合に、出力電流  $I_{source}$  が、温度上昇に伴って減少する成分  $I_{14}$  に依存するようにしている。そのため、電流源 74 の温度上昇に伴う出力電流  $I_{source}$  の低下の度合い、温度上昇と共に大きくすることが出来る。その結果、温度が高くなるほど縮み度合いが大きくなるアステロイド曲線を有するMRAMにおいても、上記第1、第2の実施形態で説明した書き込み電流  $I_1$ 、 $I_2$  の関係を実現することが出来る。

#### 【0133】

なお図31は、電流源 74 内部に温度センサ 110 を組み込んだ一例を示す回路図である。図31の例であると、温度センサ 110 における回路ブロック 75-2 の出力信号を、pチャネルMOSトランジスタ 94 のゲートに入力し、回路ブロック 76-2 の出力信号を、pチャネルMOSトランジスタ 99 のゲートに入力している。すなわち、回路ブロック 75-2 を回路ブロック 75-1 として流用し、回路ブロック 76-2 を、回路ブロック 76-1 として流用している。本構成であっても、図30の動作を実現でき、同時に回路構成を小さくできる。

#### 【0134】

図32は、上記第5の実施形態の変形例に係る電流源 74 の回路図である。本変形例は、上記第5の実施形態における図31において、回路ブロック 75-2 の出力信号をpチャネルMOSトランジスタ 99、111のゲートに入力し、回路ブロック 76-2 の出力信号をpチャネルMOSトランジスタ 94、121のゲートに入力している。

#### 【0135】

従って、温度センサ 110 におけるpチャネルMOSトランジスタ 111 と nチャネルMOSトランジスタ 123 との接続ノードの電位は、温度上昇と共に高くなり、温度低下と共に低くなる。従って、温度電圧  $V_{temp}$  は、図30の構成の場合とは逆になる。すなわち、所定の温度より低い場合には  $V_{temp} = "H"$  レベ

ル、高い場合には  $V_{temp} = "L"$  レベルとなる。

#### 【0136】

すると、 $V_{temp} = "L"$  レベルの場合には、pチャネルMOSトランジスタ100及びnチャネルMOSトランジスタ95はオフ状態であるから、電流源74の出力電流  $I_{source} = I_{13}$  である。 $V_{temp} = "H"$  レベルの場合には、pチャネルMOSトランジスタ100及びnチャネルMOSトランジスタ97はオン状態である。この場合、pチャネルMOSトランジスタ99の供給する電流  $I_{15}$  は温度上昇と共に増加し、nチャネルMOSトランジスタ95の供給する電流  $I_{14}$  は温度上昇と共に低下する。そして、電流源74の出力電流  $I_{source} = I_{13} + I_{15} - I_{14}$  となる。すなわち図33に示すように、所定の温度以上の場合には、 $I_{source}$ の傾きは  $I_{13}$  と同じであり、所定の温度以下の場合には、傾きは緩やかになる。

#### 【0137】

次に、この発明の第6の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第5の実施形態と同様に、電流源74の供給する電流  $I_{source}$  の傾きを、特定の温度を境に変化させるものである。第5の実施形態では、電流  $I_{source}$  の傾きが変わるポイントは1点のみであったが、本実施形態では2つのポイントで傾きを変えるものである。図34は、本実施形態に係るMRAMの電流源74の回路図である。

#### 【0138】

電流源74は、上記第5の実施形態で説明した図31に示す構成において、温度センサを更に追加した構成を有している。図示するように、電流源74は、回路ブロック76-1、93-1、93-2、pチャネルMOSトランジスタ98、99-1、99-2、100-1、100-2、及び温度センサ110-1、110-2を備えている。

#### 【0139】

回路ブロック76-1は、上記第5の実施形態における図31で説明した回路ブロック76-1と同様の構成を有している。また回路ブロック93-1、93-2も、図31における回路ブロック93と同様の構成を有している。更に温度

センサ 110-1、110-2 も、図 31 における温度センサ 110 と同様の構成を有している。従って、これらの説明は省略する。なお、温度センサ 110-1、110-2 が出力する温度電圧を、それぞれ  $V_{temp1}$ 、 $V_{temp2}$  と呼ぶことにする。

#### 【0140】

p チャネル MOS トランジスタ 98 は、電流経路の一端が電源電位に接続され、他端が電流源 74 の出力ノード（電流  $I_{source}$  が出力されるノード）に接続され、ゲートに回路ブロック 76-1 の出力信号が入力される。p チャネル MOS トランジスタ 99-1 は、電流経路の一端が電源電位に接続され、ゲートに温度センサ 110-1 の回路ブロック 76-2 の出力信号が入力される。p チャネル MOS トランジスタ 100-1 は、電流経路の一端が p チャネル MOS トランジスタ 99-1 の電流経路の他端に接続され、他端が電流源 74 の出力ノードに接続され、ゲートに温度電圧  $V_{temp1}$  の反転信号が入力される。

#### 【0141】

p チャネル MOS トランジスタ 99-2 は、電流経路の一端が電源電位に接続され、ゲートに温度センサ 110-2 の回路ブロック 76-3 の出力信号が入力される。p チャネル MOS トランジスタ 100-2 は、電流経路の一端が p チャネル MOS トランジスタ 100-2 の電流経路の他端に接続され、他端が電流源 74 の出力ノードに接続され、ゲートに温度電圧  $V_{temp2}$  の反転信号が入力される。

#### 【0142】

回路ブロック 93-1 においては、p チャネル MOS トランジスタ 94 のゲートに温度センサ 110-1 の回路ブロック 75-2 の出力信号が入力される。また n チャネル MOS トランジスタ 95 は、電流経路の一端が電流源 74 の出力ノードに接続され、ゲートに温度電圧  $V_{temp1}$  が入力される。

#### 【0143】

回路ブロック 93-2 においては、p チャネル MOS トランジスタ 94 のゲートに温度センサ 110-2 の回路ブロック 75-3 の出力信号が入力される。また n チャネル MOS トランジスタ 95 は、電流経路の一端が電流源 74 の出力ノ



ードに接続され、ゲートに温度電圧  $V_{temp2}$  が入力される。

#### 【0144】

温度センサ 110-1、110-2 は、上記第5の実施形態で説明した動作を行う。すなわち、所定の温度以下では温度電圧  $V_{temp1}$ 、 $V_{temp2}$  は“L”レベルであり、所定の温度以上では温度電圧  $V_{temp1}$ 、 $V_{temp2}$  は“H”レベルである。但し、図35の温度と電圧との関係を示すグラフに示されるように、互いの出力が反転する閾値が異なっている。温度センサ 110-1 では、温度  $T_1$  を境に温度電圧  $V_{temp1}$  の出力が反転する。温度センサ 110-2 では、温度  $T_1$  よりも高い温度  $T_2$  を境に温度電圧  $V_{temp2}$  の出力が反転する。

#### 【0145】

次に、本実施形態に係る電流源 74 の動作を、図35を用いて説明する。図35は、温度に対する温度電圧  $V_{temp1}$ 、 $V_{temp2}$ 、及び電流  $I_{source}$  の変化を示すグラフである。

#### 【0146】

まず温度が  $T_1$  以下の場合について説明する。この場合、 $V_{temp1} = V_{temp2} =$  “L”レベルである。従って、pチャネルMOSトランジスタ 100-1、100-2、及び回路ブロック 93-1、93-2 のnチャネルMOSトランジスタ 95 はオフ状態である。従って、電流源 74 の出力電流  $I_{source}$  は、pチャネルMOSトランジスタ 98 が出力する電流  $I_{20}$  によって決まり、 $I_{source} = I_{20}$  である。

#### 【0147】

次に、温度  $T_1 \sim T_2$  の場合について説明する。この場合、 $V_{temp1} =$  “H”レベル、 $V_{temp2} =$  “L”レベルである。従って、pチャネルMOSトランジスタ 100-1、及び回路ブロック 93-1 のnチャネルMOSトランジスタ 95 がオン状態、pチャネルMOSトランジスタ 100-2、及び回路ブロック 93-2 のnチャネルMOSトランジスタ 95 がオフ状態となる。よって、電流源 74 の出力電流  $I_{source}$  は、pチャネルMOSトランジスタ 98、99-1、及び回路ブロック 93-1 のnチャネルMOSトランジスタ 95 がそれぞれ出力する電流  $I_{20}$ 、 $I_{21}$ 、 $I_{22}$  によって決まる。すなわち、出力電流  $I_{source} = I$

$2 \cdot 0 + I_{21} - I_{22}$ となる。その結果、電流  $I_{source}$  の温度変化の傾きは、温度  $T_1$  以下の場合よりも大きくなり、温度と共に、より低下の度合いを増す。

#### 【0148】

次に温度  $T_2$  以上の場合について説明する。この場合、 $V_{temp1} = V_{temp2} = "H"$  レベルである。従って、pチャネルMOSトランジスタ100-1、100-2、及び回路ブロック93-1、93-2のnチャネルMOSトランジスタ95がオン状態となる。よって、電流源74の出力電流  $I_{source}$  は、pチャネルMOSトランジスタ98、99-1、並びに回路ブロック93-1及び93-2のnチャネルMOSトランジスタ95、95がそれぞれ出力する電流  $I_{20}$ 、 $I_{21}$ 、 $I_{22}$ 、 $I_{23}$ 、及び  $I_{24}$  によって決まる。すなわち、出力電流  $I_{source} = I_{20} + I_{21} - I_{22} + I_{23} - I_{24}$  となる。その結果、電流  $I_{source}$  の温度変化の傾きは、温度  $T_1 \sim T_2$  の場合よりも大きくなり、温度と共に、より低下の度合いを増す。

#### 【0149】

上記のように、本実施形態に係るMRAMであると、電流源74に2つの温度センサ110-1、110-2を組み合わせている。そして、温度センサ110-1の出力が反転した際に、電流源74の出力電流  $I_{source}$  が  $I_{20}$  だけでなく  $I_{21}$ 、 $I_{22}$  にも依存するようにしている。更に、温度センサ110-2の出力が反転した際には、 $I_{20}$ 、 $I_{21}$ 、 $I_{22}$  だけでなく、 $I_{23}$ 、 $I_{24}$  にも依存するようにしている。その結果、出力電流  $I_{source}$  の温度に対する傾きの変化を、上記第5の実施形態に比べてより細かく設定できる。

#### 【0150】

図36は、上記第6の実施形態の変形例に係る電流源74の回路図である。本変形例は、第5の実施形態で説明した図31に示す温度センサと、第5の実施形態の変形例で説明した図32に示す温度センサとを組み合わせたものである。

#### 【0151】

図示するように、図34に示す構成において、温度センサ110-1の構成を、図32に示す温度センサ110の構成に置き換えている。従って、温度センサ110-1は、温度  $T_1$  以下では“H”レベル、温度  $T_1$  以上では“L”レベル

となる温度電圧  $V_{temp1}$  を出力する。また、pチャネルMOSトランジスタ 99-1 のゲートには、温度センサ 110-1 の回路ブロック 75-2 の出力信号が入力され、回路ブロック 93-1 の pチャネルMOSトランジスタ 94 のゲートには、温度センサ 110-1 の回路ブロック 76-2 の出力信号が入力される。

#### 【0152】

次に、上記変形例に係る電流源 74 の動作を、図 37 を用いて説明する。図 37 は、温度に対する温度電圧  $V_{temp1}$ 、 $V_{temp2}$ 、及び電流  $I_{source}$  の変化を示すグラフである。

#### 【0153】

まず温度が  $T_1$  以下の場合について説明する。この場合、 $V_{temp1}$  = “H” レベル、 $V_{temp2}$  = “L” レベルである。従って、pチャネルMOSトランジスタ 100-1、及び回路ブロック 93-1 の nチャネルMOSトランジスタ 95 がオン状態、pチャネルMOSトランジスタ 100-2、及び回路ブロック 93-2 の nチャネルMOSトランジスタ 95 がオフ状態である。よって、電流源 74 の出力電流  $I_{source}$  は、 $I_{source} = I_{20} + I_{21} - I_{22}$  となる。

#### 【0154】

次に温度が  $T_1 \sim T_2$  の場合について説明する。この場合、 $V_{temp1} = V_{temp2}$  = “L” レベルである。従って、pチャネルMOSトランジスタ 100-1、100-2、並びに回路ブロック 93-1 及び 93-2 の nチャネルMOSトランジスタ 95、95 がオフ状態である。よって、 $I_{source} = I_{10}$  であり、電流  $I_{source}$  の温度変化の傾きは、温度  $T_1$  以下の場合よりも大きくなる。

#### 【0155】

次に温度  $T_2$  以上の場合について説明する。この場合、 $V_{temp1}$  = “L” レベル、 $V_{temp2}$  = “H” レベルである。従って、pチャネルMOSトランジスタ 100-1 及び回路ブロック 93-1 の nチャネルMOSトランジスタ 95 がオフ状態、pチャネルMOSトランジスタ 100-2 及び回路ブロック 93-2 の nチャネルMOSトランジスタ 95 がオン状態である。よって、 $I_{source} = I_{10} + I_{23} - I_{24}$  となる。その結果、電流  $I_{source}$  の温度変化の傾きは、温度  $T_1 \sim T_2$  の場合よりも大きくなり、温度と共に、より低下の度合いを増す。

## 【0156】

すなわち、図37に示すように、本変形例であると、温度に伴う電流  $I_{source}$  の傾きの変化を、上記第6の実施形態の場合に比べて緩やかにすることが出来る。

## 【0157】

なお、上記第4乃至第6の実施形態は、上記第3の実施形態の変形例で説明した、ビット線BLに供給する書き込み電流  $I_2$  が書き込みデータによって異なる場合においても適用可能なのは言うまでもない。

## 【0158】

次に、この発明の第7の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第3の実施形態と異なる方法により、上記第1、第2の実施形態を実現するための周辺回路の具体例に関するものである。上記第3の実施形態では、ディジット線カレントソース15及びビット線カレントソース18-1、19-1におけるトランジスタのゲート電圧を制御して、最適な書き込み電流  $I_1$ 、 $I_2$  を得ていた。しかし本実施形態は、ディジット線カレントソース15及びビット線カレントソース18-1、19-1において、オン状態のトランジスタの数を制御することにより、最適な書き込み電流  $I_1$ 、 $I_2$  を得るものである。図38は、本実施形態に係るMRAMの、特に周辺回路の回路図である。

## 【0159】

ディジット線カレントソース16、ビット線カレントソース18-1、19-2は、上記第3乃至第6の実施形態と同様であるので説明は省略する。また電流供給回路70も上記第3の実施形態と同様であるので説明は省略する。

## 【0160】

ディジット線カレントソース15は、7つのpチャネルMOSトランジスタ130~136を備えている。pチャネルMOSトランジスタ130は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路70の出力ノード（pチャネルMOSトランジスタ71のゲート）に接続されている。pチャネルMOSトランジスタ131は、電流経路の一端がpチャネルMOSトランジスタ130の電流経路の他端に接続され、ゲートが接地されている。すなわち、pチャネルM

OS トランジスタ 131 は常時オン状態である。p チャネル MOS トランジスタ 132 は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路 70 の出力ノードに接続されている。p チャネル MOS トランジスタ 133 は、電流経路の一端が p チャネル MOS トランジスタ 132 の電流経路の他端に接続され、ゲートには制御信号 SR11 が入力される。p チャネル MOS トランジスタ 134 は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路 70 の出力ノードに接続されている。p チャネル MOS トランジスタ 135 は、電流経路の一端が p チャネル MOS トランジスタ 134 の電流経路の他端に接続され、ゲートには制御信号 /SR12 が入力される。p チャネル MOS トランジスタ 136 は、電流経路の一端が、p チャネル MOS トランジスタ 131、133、135 の電流経路の他端に接続され、ゲートに反転書き込み命令信号 /WRITE が入力される。そして、p チャネル MOS トランジスタ 136 の電流経路の他端が、ディジット線カレントソース 15 の出力ノードとなり、ディジット線セクタ 14 によって選択されたディジット線 DL に接続される。制御信号 SR11、/SR12 については後述する。

#### 【0161】

ビット線カレントソース 18-1 は、ディジット線カレントソース 15 とほぼ同様の構成を有している。すなわち、ビット線カレントソース 18-1 は、7 つの p チャネル MOS トランジスタ 137 ~ 143 を備えている。p チャネル MOS トランジスタ 137 は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路 70 の出力ノードに接続されている。p チャネル MOS トランジスタ 138 は、電流経路の一端が p チャネル MOS トランジスタ 137 の電流経路の他端に接続され、ゲートが接地されている。すなわち、p チャネル MOS トランジスタ 138 は常時オン状態である。p チャネル MOS トランジスタ 139 は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路 70 の出力ノードに接続されている。p チャネル MOS トランジスタ 140 は、電流経路の一端が p チャネル MOS トランジスタ 139 の電流経路の他端に接続され、ゲートには制御信号 SR21 が入力される。p チャネル MOS トランジスタ 141 は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路 70 の出力ノードに接続

されている。pチャネルMOSトランジスタ142は、電流経路の一端がpチャネルMOSトランジスタ141の電流経路の他端に接続され、ゲートには制御信号/SR22が入力される。pチャネルMOSトランジスタ143は、電流経路の一端が、pチャネルMOSトランジスタ138、140、142の電流経路の他端に接続され、ゲートに、書き込み命令信号WRITEと反転データ信号/DATAとのNAND信号が入力される。そして、pチャネルMOSトランジスタ143の電流経路の他端が、ビット線カレントソース18-1の出力ノードとなり、ビット線セクタ17によって選択されたビット線BLに接続される。。制御信号SR21、/SR22については後述する。

#### 【0162】

ビット線カレントソース18-2も、ディジット線カレントソース15とほぼ同様の構成を有している。すなわち、ビット線カレントソース18-2は、7つのpチャネルMOSトランジスタ144~150を備えている。pチャネルMOSトランジスタ144は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路70の出力ノードに接続されている。pチャネルMOSトランジスタ145は、電流経路の一端がpチャネルMOSトランジスタ144の電流経路の他端に接続され、ゲートが接地されている。すなわち、pチャネルMOSトランジスタ145は常時オン状態である。pチャネルMOSトランジスタ146は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路70の出力ノードに接続されている。pチャネルMOSトランジスタ147は、電流経路の一端がpチャネルMOSトランジスタ146の電流経路の他端に接続され、ゲートには制御信号SR31が入力される。pチャネルMOSトランジスタ148は、電流経路の一端が電源電位に接続され、ゲートが電流供給回路70の出力ノードに接続されている。pチャネルMOSトランジスタ149は、電流経路の一端がpチャネルMOSトランジスタ148の電流経路の他端に接続され、ゲートには制御信号/SR32が入力される。pチャネルMOSトランジスタ150は、電流経路の一端が、pチャネルMOSトランジスタ145、147、149の電流経路の他端に接続され、ゲートに、書き込み命令信号WRITEとデータ信号DATAとのNAND信号が入力される。そして、pチャネルMOSトランジスタ150

の電流経路の他端が、ビット線カレントソース 18-2 の出力ノードとなり、ビット線セクタ 17 によって選択されたビット線 BL に接続される。

#### 【0163】

次に、上記構成のディジット線カレントソース 15、ビット線カレントソース 18-1、18-2 の動作について説明する。まず、ディジット線カレントソース 15 の動作について説明する。

#### 【0164】

前述の通り、p チャンネル MOS トランジスタ 131 は常時オン状態である。従って、ディジット線カレントソース 15 の供給する書き込み電流  $I_1$  のデフォルト値は、p チャンネル MOS トランジスタ 130 の供給する電流  $I_{100}$  によって決まる。すなわち、制御信号  $SR_{11} = \neg SR_{12} = \text{“H”}$  レベルの際の書き込み電流  $I_1$  は、下記の式で与えられる。

$$I_1 = I_{100} = (W_{10} / W_0) \times I_{90}$$

但し、 $W_{10}$  は p チャンネル MOS トランジスタ 130 のゲート幅、 $W_0$  は電流供給回路 70 における p チャンネル MOS トランジスタ 71 のゲート幅、 $I_{90}$  は p チャンネル MOS トランジスタ 71 が供給する電流値である。この場合、書き込み電流  $I_1$  は最小となる。

#### 【0165】

制御信号  $SR_{11} = \text{“L”}$  レベル、 $\neg SR_{12} = \text{“H”}$  レベルの場合には、更に p チャンネル MOS トランジスタ 133 がオン状態となる。従って、書き込み電流  $I_1$  は下記の式で与えられる。

$$I_1 = I_{100} + I_{110} = ((W_{10} + W_{11}) / W_0) \times I_{90}$$

但し、 $I_{110}$  は p チャンネル MOS トランジスタ 132 が供給する電流値、 $W_{11}$  は p チャンネル MOS トランジスタ 132 のゲート幅である。

#### 【0166】

制御信号  $SR_{11} = \text{“H”}$  レベル、 $\neg SR_{12} = \text{“L”}$  レベルの場合には、p チャンネル MOS トランジスタ 133 がオフ状態、p チャンネル MOS トランジスタ 135 がオン状態となる。従って、書き込み電流  $I_1$  は下記の式で与えられる。

$$I1 = I100 + I120 = ((W10 + W12) / W0) \times I90$$

但し、 $I120$ はpチャネルMOSトランジスタ134が供給する電流値、 $W12$ はpチャネルMOSトランジスタ134のゲート幅である。

#### 【0167】

制御信号 $SR11 = \neg SR12 = "L"$ レベルの場合には、pチャネルMOSトランジスタ133、135がオン状態となる。従って、書き込み電流 $I1$ は下記の式で与えられる。

$$I1 = I100 + I110 + I120 = ((W10 + W11 + W12) / W0) \times I90$$

この場合、書き込み電流 $I1$ は最大となる。

#### 【0168】

次に、ビット線カレントソース18-1の動作について説明する。ビット線カレントソース18-1の動作も、ディジット線カレントソース15と同様である。制御信号 $S21 = \neg SR22 = "H"$ レベルの場合、すなわち、ビット線カレントソース18-1の供給する書き込み電流 $I2$ のデフォルト値は、下記の式で与えられる。

$$I2 = I200 = (W20 / W0) \times I90$$

但し、 $I200$ はpチャネルMOSトランジスタ137の供給する電流値、 $W20$ はpチャネルMOSトランジスタ137のゲート幅である。この場合、書き込み電流 $I2$ は最小となる。

#### 【0169】

制御信号 $SR21 = "L"$ レベル、 $\neg SR22 = "H"$ レベルの場合、書き込み電流 $I2$ は下記の式で与えられる。

$$I2 = I200 + I210 = ((W20 + W21) / W0) \times I90$$

但し、 $I210$ はpチャネルMOSトランジスタ139が供給する電流値、 $W21$ はpチャネルMOSトランジスタ139のゲート幅である。

#### 【0170】

制御信号 $SR21 = "H"$ レベル、 $\neg SR22 = "L"$ レベルの場合、書き込み電流 $I2$ は下記の式で与えられる。



$$I2 = I200 + I220 = ((W20 + W22) / W0) \times I90$$

但し、 $I220$ はpチャネルMOSトランジスタ141が供給する電流値、 $W22$ はpチャネルMOSトランジスタ141のゲート幅である。

#### 【0171】

制御信号 $SR21 = \neg SR22 = "L"$ レベルの場合、書き込み電流 $I2$ は下記の式で与えられる。

$$I2 = I200 + I210 + I220 = ((W20 + W21 + W22) / W0) \times I90$$

この場合、ビット線カレントソース18-1が供給する書き込み電流 $I2$ は最大となる。

#### 【0172】

次に、ビット線カレントソース19-1の動作について説明する。ビット線カレントソース19-1の動作も、ディジット線カレントソース15と同様である。制御信号 $S31 = \neg SR32 = "H"$ レベルの場合、すなわち、ビット線カレントソース19-1の供給する書き込み電流 $I2$ のデフォルト値は、下記の式で与えられる。

$$I2 = I300 = (W30 / W0) \times I90$$

但し、 $I300$ はpチャネルMOSトランジスタ144の供給する電流値、 $W30$ はpチャネルMOSトランジスタ144のゲート幅である。この場合、書き込み電流 $I2$ は最小となる。

#### 【0173】

制御信号 $SR31 = "L"$ レベル、 $\neg SR32 = "H"$ レベルの場合、書き込み電流 $I2$ は下記の式で与えられる。

$$I2 = I300 + I310 = ((W30 + W31) / W0) \times I90$$

但し、 $I310$ はpチャネルMOSトランジスタ146が供給する電流値、 $W31$ はpチャネルMOSトランジスタ146のゲート幅である。

#### 【0174】

制御信号 $SR31 = "H"$ レベル、 $\neg SR32 = "L"$ レベルの場合、書き込み電流 $I2$ は下記の式で与えられる。

$$I_2 = I_{300} + I_{320} = ((W_{30} + W_{32}) / W_0) \times I_{90}$$

但し、 $I_{320}$ はpチャネルMOSトランジスタ148が供給する電流値、 $W_{32}$ はpチャネルMOSトランジスタ148のゲート幅である。

【0175】

制御信号 $SR_{31} = \neg SR_{32} = "L"$ レベルの場合、書き込み電流 $I_2$ は下記の式で与えられる。

$$I_2 = I_{300} + I_{310} + I_{320} = ((W_{30} + W_{31} + W_{32}) / W_0) \times I_{90}$$

この場合、ビット線カレントソース19-1が供給する書き込み電流 $I_2$ は最大となる。

【0176】

従って、上記構成のディジット線カレントソース15及びビット線カレントソース18-1、18-2において、制御信号 $SR_{11}$ 、 $\neg SR_{12}$ 、 $SR_{21}$ 、 $\neg SR_{22}$ 、 $SR_{31}$ 、 $\neg SR_{32}$ によって、書き込み電流 $I_1$ 、 $I_2$ の値を制御できる。上記第1、第2の実施形態において、書き込み電流 $I_1$ 、 $I_2$ の関係は、それぞれ $I_1 = I_2 \times (\alpha_2 / \alpha_1)$ 、 $I_1 = I_2 \times c \times (\alpha_2 / \alpha_1)$ である。従って、 $(\alpha_2 / \alpha_1)$ 及び $c \times (\alpha_2 / \alpha_1)$ に応じて、制御信号 $SR_{11}$ 、 $\neg SR_{12}$ 、 $SR_{21}$ 、 $\neg SR_{22}$ 、 $SR_{31}$ 、 $\neg SR_{32}$ をコントロールすれば良い。

【0177】

各制御信号は、デフォルトでは $SR_{11} = SR_{21} = SR_{31} = \neg SR_{12} = \neg SR_{22} = \neg SR_{32} = "H"$ レベルとしておくことが望ましい。この場合、書き込み電流 $I_1 = (W_{10} / W_0) \times I_{90}$ であり、ビット線カレントソース18-1が供給する書き込み電流 $I_2 = (W_{20} / W_0) \times I_{90}$ である。すなわち、 $I_1 = (W_{10} / W_{20}) \times I_2$ の関係にある。この状態で、制御信号 $SR_{11}$ を“L”レベルにすると、書き込み電流 $I_1 = ((W_{10} + W_{11}) / W_0) \times I_{90}$ となる。従って、 $I_1$ と $I_2$ との関係を、 $I_1 = ((W_{10} + W_{11}) / W_{20}) \times I_2$ に変更することが出来る。

【0178】

また、上記第3の実施形態において図21を用いて説明したように、書き込みデータに応じて、ビット線に供給する書き込み電流  $I_2$  の値を変えたい場合には、ビット線カレントソース18-1と19-1とでオン状態のトランジスタの数を変えればよい。デフォルトでは、ビット線カレントソース18-1の供給する書き込み電流  $I_2$  と、ビット線カレントソース19-1の供給する書き込み電流  $I_2'$  との関係は、 $I_2 = (W_{20}/W_{30}) \times I_2'$  である。この状態で、例えば  $\text{SR}_{32}$  を“L”レベルにすると、書き込み電流  $I_2' = ((W_{30} + W_{32})/W_0) \times I_{90}$  となる。従って、 $I_2$  と  $I_2'$  との関係を、 $I_2 = (W_{20}/(W_{30} + W_{32})) \times I_2'$  に変更することが出来る。なお、 $W_{20} = W_{30}$  にしておくことが好ましい。

#### 【0179】

ここで、各制御信号の設定方法について、図39を用いて説明する。図39は、制御信号  $\text{SR}_{11}$ 、 $\text{SR}_{12}$ 、 $\text{SR}_{21}$ 、 $\text{SR}_{22}$ 、 $\text{SR}_{31}$ 、 $\text{SR}_{32}$  を生成する設定回路の回路図である。設定回路は、制御信号毎に設けられる。すなわち、設定回路は1つの制御信号毎に割り当てられており、各設定回路が、対応する制御信号のデータを保持する。

#### 【0180】

図示するように、設定回路160は、pチャネルMOSトランジスタ161、165、167、169、173、nチャネルMOSトランジスタ162、166、168、174、インバータ163、164、171、172、175、176、及びヒューズ素子170を備えている。pチャネルMOSトランジスタ161及びnチャネルMOSトランジスタ162は、電流経路の一端同士、他端同士が共通接続され、電流経路の一端にはデータ信号  $D<j>$  ( $j = 11, 12, 21, 22, 31, 32$ ) が入力される。pチャネルMOSトランジスタ161のゲートには制御信号  $\text{RSSET}$  が入力され、nチャネルMOSトランジスタ162のゲートには制御信号  $\text{RSSET}$  が入力されている。インバータ163、164は直列接続され、インバータ163の入力端は、pチャネルMOSトランジスタ161及びnチャネルMOSトランジスタ162の電流経路の他端に接続されている。pチャネルMOSトランジスタ165及びnチャネルMOSトラン

ジスタ 166 は、電流経路の一端同士、他端同士が共通接続されている。そして、電流経路の一端が、インバータ 163 の入力端に接続され、他端がインバータ 164 の出力端に接続されている。p チャンネル MOS トランジスタ 165 のゲートには制御信号 /RSSET が入力され、n チャンネル MOS トランジスタ 166 のゲートには制御信号 RSSET が入力されている。p チャンネル MOS トランジスタ 167 及び n チャンネル MOS トランジスタ 168 は、電流経路の一端同士、他端同士が共通接続されている。そして電流経路の一端がインバータ 164 の出力端に接続されている。p チャンネル MOS トランジスタ 167 のゲートには反転テスト信号 /RSTEST が入力され、n チャンネル MOS トランジスタ 168 のゲートにはテスト信号 RSTEST が入力されている。上記の構成を、以降回路ブロック 177 と呼ぶことにする。

#### 【0181】

p チャンネル MOS トランジスタ 169 は、電流経路の一端が電源電位に接続され、他端がヒューズ素子 170 を介して接地電位に接続され、ゲートが接地されている。インバータ 171、172 は直列接続され、インバータ 171 の入力端は、p チャンネル MOS トランジスタ 171 とヒューズ素子 170 との接続ノードに接続されている。p チャンネル MOS トランジスタ 173 及び n チャンネル MOS トランジスタ 174 は、電流経路の一端同士、他端同士が共通接続されている。そして電流経路の一端が、インバータ 172 の出力端に接続されている。p チャンネル MOS トランジスタ 173 のゲートにはテスト信号 RSTEST が入力され、n チャンネル MOS トランジスタ 174 のゲートには反転テスト信号 /RSTEST が入力されている。以上の構成を、以降、回路ブロック 178 と呼ぶことにする。

#### 【0182】

共通接続された p チャンネル MOS トランジスタ 167 と n チャンネル MOS トランジスタ 168 の電流経路の他端は、回路ブロック 177 の出力ノードとなり、インバータ 175 の入力端に接続されている。また、共通接続された p チャンネル MOS トランジスタ 173 と n チャンネル MOS トランジスタ 174 の電流経路の他端は、回路ブロック 178 の出力ノードとなり、インバータ 175 の入力端に

接続されている。インバータ 175 は、インバータ 176 と直列接続されている。そして、インバータ 175 の出力端の信号が制御信号  $\neg SR<j>$  であり、インバータ 176 の出力端の信号が制御信号  $SR<j>$  である。

#### 【0183】

次に、上記構成の設定回路 160 による制御信号  $SR<j>$ 、 $\neg SR<j>$  の設定方法について説明する。制御信号  $SR<j>$ 、 $\neg SR<j>$  の設定は、テストモード時に行われる。テストモードにおいては、テスト信号  $RSTEST$  が “H” レベル ( $\neg RSTEST = “L”$  レベル) にされる。従って、回路ブロック 177 における p チャンネル MOS トランジスタ 167 及び n チャンネル MOS トランジスタ 168 がオン状態となる。逆に回路ブロック 178 における p チャンネル MOS トランジスタ 173 及び n チャンネル MOS トランジスタ 174 がオフ状態となる。すなわち、テストモードでは回路ブロック 177 から信号が出力されるが、回路ブロック 178 からは信号が出力されない。そして、制御信号  $RSET$  が “H” レベル ( $\neg RSET = “L”$  レベル) とされる。この状態で、データ信号  $D<j>$  が入力される。データ信号  $D<j>$  が “H” レベルの場合、制御信号  $SR<j>$  も “H” レベルとなる ( $\neg SR<j> = “L”$  レベル)。逆にデータ信号  $D<j>$  が “L” レベルの場合、制御信号  $SR<j>$  も “L” レベルとなる。そして、制御信号  $SR<j>$  が “H” レベル、“L” レベルのいずれが好ましいかを判断する。制御信号  $SR<j>$  を “H” レベルにする場合には、ヒューズ素子 170 をレーザーブローする。これにより、 $SR<j> = “H”$  レベルが設定回路 160 に記憶される。制御信号  $SR<j>$  を “L” レベルにする場合には、ヒューズ素子 170 は切断しない。

#### 【0184】

以上のようにして、制御信号  $SR11$ 、 $\neg SR12$ 、 $SR21$ 、 $\neg SR22$ 、 $SR31$ 、 $\neg SR32$  のデータを設定回路 160 に書き込む。

#### 【0185】

通常動作モードにおいては、テスト信号  $RSTEST$  が “L” レベル ( $\neg RSTEST = “H”$  レベル) にされる。従って、回路ブロック 177 における p チャンネル MOS トランジスタ 167 及び n チャンネル MOS トランジスタ 168 がオ

フ状態となる。逆に回路ブロック 178 における p チャネル MOS トランジスタ 173 及び n チャネル MOS トランジスタ 174 がオン状態となる。すなわち、回路ブロック 178 からのみ信号が出力される。回路ブロック 178 からは、テストモード時にヒューズ素子 170 に書き込まれたデータに応じた信号が出力される。ヒューズ素子 170 が切られていれば、回路ブロック 178 は“H”レベルを出力する。従って、制御信号  $SR<j>$  は“H”レベルとなる。逆にヒューズ素子 170 が切られていなければ、回路ブロック 178 は“L”レベルを出力する。従って、制御信号  $SR<j>$  は“L”レベルとなる。

#### 【0186】

上記のような設定回路 160 によって、制御信号  $SR<j>$  の設定を行うことが出来る。なお、各制御信号  $SR<j>$  に対応する設定回路 160 におけるデータ信号  $D<j>$  の入力ピンは、MRAM のデータ入力ピンを使用出来る。図 38 の例であると、制御信号  $SR<j>$  は 6 つある。従って、データ入力ピンが 8 ビットある場合には、そのうちの 6 つを利用すれば良い。通常動作モードからテストモードへ移行するためのテスト信号  $RSTEST$  は、通常使用しない制御信号の組み合わせで作成することが出来る。そして、このテスト信号  $RSTEST$  とライトイネーブル信号  $WE$  との論理演算により制御信号  $RSET$  を作成することが出来る。これにより、テストモード時に、データ入力ピンから制御信号 160 へのデータ信号  $D<j>$  を入力出来る。

#### 【0187】

図 40 は、上記第 7 の実施形態の第 1 変形例に係る MRAM の備える設定回路 160 の回路図である。本変形例は、ヒューズ素子 170 の代わりに、磁気抵抗素子をアンチヒューズとして用いるものである。すなわち、図示するように、上記した図 39 の構成においてインバータ 171 及びヒューズ素子 170 を廃している。そして、NAND ゲート 179、p チャネル MOS トランジスタ 180、n チャネル MOS トランジスタ 181、183、及び磁気抵抗素子 182 を追加している。

#### 【0188】

NAND ゲート 179 は、データ入力信号  $D<j>$  と制御信号  $RSPRO$  との

NAND演算を行う。pチャネルMOSトランジスタ180は、電流経路の一端が電源電位に接続され、他端がインバータ182の入力端に接続され、ゲートにNANDゲート179の出力信号が入力される。nチャネルMOSトランジスタ181は、電流経路がpチャネルMOSトランジスタ169の電流経路の他端とインバータ172の入力端との間に接続され、ゲートに電圧Vclampが印加される。磁気抵抗素子182は、インバータ172の入力端と、nチャネルMOSトランジスタ183の電流経路の一端との間に接続されている。nチャネルMOSトランジスタ183は、電流経路の他端が接地され、ゲートに電源電位が印加される。

#### 【0189】

上記構成において、制御信号SR<j>を“H”レベルに設定する際、データ信号D<j>=“H”レベルが入力されると共に、制御信号RSPROが“H”レベルにされる。すると、NANDゲート179の出力信号が“L”レベルになるため、pチャネルMOSトランジスタ180がオン状態となる。その結果、磁気抵抗素子182の一端に、pチャネルMOSトランジスタ180を介して電圧が印加され、磁気抵抗素子182のトンネルバリア膜が破壊される。従って、磁気抵抗素子182は導通状態となる。その結果、制御信号SR<j>=“H”レベルが記録される。制御信号SR<j>を“L”レベルに設定する場合は、データ信号D<j>は“L”レベルであり、制御信号RSPROも“L”レベルであるので、pチャネルMOSトランジスタ180はオフ状態である。従って、磁気抵抗素子182は非導通状態であり、制御信号SR<j>=“L”レベルが記録される。なお、本変形例ではアンチヒューズとして磁気抵抗素子を用いているが、キャパシタ素子でも良い。

#### 【0190】

図41は上記第7の実施形態の第2変形例に係るMRAMの、特に周辺回路の回路図である。本変形例に示すように、ディジット線カレントソース15と、ビット線カレントソース18-1、19-1とを、別々の電流供給回路70-1、70-2で制御してもよい。

#### 【0191】

図 4 2 は上記第 7 の実施形態の第 3 変形例に係る MRAM の、特に周辺回路の回路図である。本変形例に示すように、ディジット線カレントソース 15 と、ビット線カレントソース 18-1 と 19-1 とを、別々の電流供給回路 70-1、70-2、70-3 で制御しても良い。

#### 【0192】

次に、この発明の第 8 の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第 7 の実施形態に係る構成において、上記第 4 の実施形態で説明したように温度によってアステロイド曲線が変化した場合に対応するための構成に係るものである。図 4 3 は、本実施形態に係る MRAM の一部領域のブロック図である。

#### 【0193】

本実施形態に係る MRAM は、上記第 7 の実施形態で説明した図 3 8 に示す構成において、制御回路 190 及び温度センサ 200 を更に有している。温度センサ 200 は、例えば上記第 5 の実施形態で説明した図 3 1 における温度センサ 110、または図 3 2 における温度センサ 110 を複数有している。制御回路 190 は、制御信号 SR11、/SR12、SR21、/SR22、SR31、/SR32 を生成する。そして制御回路 190 は、温度センサ 110 の出力に応じて、制御信号を変える。すなわち、温度に応じて、ディジット線カレントソース 15 及びビットカレントソース 18-1、19-1 における、オン状態のトランジスタ数を制御する。

#### 【0194】

上記のような構成によれば、例えば図 2 3 に示すようにアステロイド曲線が温度によって変化した場合であっても、上記第 1、第 2 の実施形態で説明した書き込み電流 I1、I2 の関係を実現できる。

#### 【0195】

図 4 4 は、上記第 8 の実施形態の変形例に係る MRAM の一部領域のブロック図である。本変形例は、上記第 8 の実施形態における制御回路 190 を、複数の設定回路 160-1~160-4 及び切り替え回路 210 によって実現するものである。



## 【0196】

設定回路160-1～160-4のそれぞれは、上記第7の実施形態で説明した図39または図40に示す構成を有している。そして、それぞれは異なる温度範囲における、制御信号SR11、／SR12、SR21、／SR22、SR31、／SR32の最適値を保持している。例えば、設定回路160-1は温度T1～T2、設定回路160-2は温度T2～T3、設定回路160-3は温度T3～T4、設定回路160-4は温度T4～T5において、書き込み電流I1、I2の関係を最適にするための制御信号SR11、／SR12、SR21、／SR22、SR31、／SR32をそれぞれ保持している。切り替え回路210は、温度センサ200が出力する温度電圧Vtempに応じて、設定回路160-1～160-4のいずれかが出力する制御信号を選択し、ディジット線カレントソース15、ビット線カレントソース18-1、19-1に伝達する。例えば、温度センサ200により、現在の温度が温度T1～T2の範囲内にあると判定された場合には、設定回路160-1に保持されている制御信号を選択する。

## 【0197】

上記構成によっても、アステロイド曲線が温度によって変化した場合に、書き込み電流I1、I2の関係を最適に出来る。

## 【0198】

なお、上記第7、第8の実施形態において、個々のカレントソースに割り当てられる制御信号は2つずつである。しかし、各カレントソースを形成するトランジスタの数を増やして、更に多くの制御信号でカレントソースを制御しても良いのは勿論である。この場合、書き込み電流I1、I2を、より精度良く制御することが可能になる。

## 【0199】

次に、この発明の第9の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第1乃至第8の実施形態において、最適な書き込み電流I1、I2の関係を発見するための方法に係るものである。図45は、本実施形態に係るMRAMのブロック図である。

## 【0200】

図示するように、MRAM10はメモリセルブロック300、周辺回路ブロック400、及び書き込み電流制御ブロック600を備えている。メモリセルブロック300は、上記第1の実施形態で説明した図1と同様の構成を有しているので、説明は省略する。

#### 【0201】

周辺回路ブロック400は、データ入力レシーバ410、アドレス入力レシーバ420、アドレスカウンタ430、データパターンジェネレータ440、マルチプレクサ(MUX)450、460、モードセクタ470、シーケンサ480、クロック発生器490、及び出力ドライバ500を有している。

#### 【0202】

データ入力レシーバ410は、外部から入力されたデータ信号を、データ入力ピンから受け取る。アドレス入力レシーバ420は、外部から入力されたアドレス信号を、アドレス入力ピンから受け取る。アドレスカウンタ430は、アドレス信号を生成する。データパターンジェネレータ440は、チェッカーボードパターンを生成する。マルチプレクサ450は、データ入力レシーバ410の出力と、データパターンジェネレータ440の出力とのいずれかを選択する。マルチプレクサ460は、アドレス入力レシーバ420の出力と、アドレスカウンタ430の出力とのいずれかを選択する。モードセクタ470は、外部から入力された制御信号を、制御信号入力ピンから受け取る。シーケンサ480は、モードセクタ470の出力に基づいて、書き込み動作、読み出し動作、テスト動作等の各動作における処理を、メモリセルブロック300及び書き込み電流制御ブロック600等に命令する。クロック発生器490は、内部クロックを生成する。出力ドライバ500は、センスアンプ20で増幅した読み出しデータを、データ出力ピンから外部へ出力する。

#### 【0203】

書き込み電流制御ブロック600は、比較器610、650、パス数カウンタ620、転送ゲート630、パス数記憶レジスタ640、書き込み電流設定レジスタ660、及びセクタ670を有している。

#### 【0204】

比較器 610 は、データパターンジェネレータ 440 の生成するデータと、センスアンプで増幅した読み出しデータとを比較する。パス数カウンタ 620 は、比較器 610 における比較結果が一致した回数（パス数）を計数する。転送ゲート 630 は、パス数カウンタ 620 で計数したパス数をパス数記憶レジスタ 640 に転送する。パス数記憶レジスタ 640 は、パス数を記憶する。比較器 650 は、パス数カウンタ 620 で計数したパス数と、パス数記憶レジスタ 640 に記憶されているパス数とを比較する。書き込み電流設定レジスタ 660 は、書き込み電流 I1、I2 の設定値を記憶する。セレクト 670 は、書き込み電流設定レジスタ 660 に記憶されている設定値を選択する。そして、選択した設定値に基づいて、ディジット線カレントソース 15 及びビット線カレントソース 18、19 を制御する。セレクト 670 は、上記第 4 乃至第 6 の実施形態で説明した温度センサを含むものであり、周囲温度に基づいて書き込み電流設定レジスタ 660 からデータを読み出す。

#### 【0205】

次に、上記構成の MRAM における、書き込み電流 I1、I2 の設定方法について説明する。まず大まかな処理の流れについて、図 46 を用いて説明する。図 46 は、書き込み電流 I1、I2 の設定方法を示すフローチャートである。

#### 【0206】

まず、ウェハプロセスまたは後工程の終了後、制御信号入力ピンから、書き込み電流設定モード信号が入力される。これにより、モードセレクト 470 は書き込み電流設定モードを選択し、シーケンサ 480 は、各回路ブロックに書き込み電流設定動作をさせる。そして、周囲温度が所定の温度に設定される（ステップ S1）。

#### 【0207】

次に、書き込み電流制御ブロック 600 が、前記設定された所定の温度において最適な書き込み電流 I1、I2 を探す（ステップ S2）。見つかった最適書き込み電流 I1、I2 は、温度データと共に書き込み電流設定レジスタ 660 に格納される。

#### 【0208】

次に、別の温度で最適な書き込み電流  $I_1$ 、 $I_2$  を設定するか否かを判断する（ステップ S3）。別の温度で設定する場合には（ステップ S4）、ステップ S1 に戻り、再度、異なる所定の温度に温度設定し（ステップ S1）、書き込み電流制御ブロック 600 が当該温度における最適書き込み電流  $I_1$ 、 $I_2$  を探す。設定を行わない場合（ステップ S4）、書き込み電流の設定フローは終了する。

#### 【0209】

上記のような方法で書き込み電流設定レジスタ 660 に格納されたデータ例を、図 47 乃至図 50 に示す。図 47 に示す例では、書き込み電流設定レジスタは、温度範囲毎に最適な書き込み電流  $I_1$ 、 $I_2$  の値を保持する。図の例であると、温度  $T_1 \sim T_2$  における、最適なディジット線書き込み電流  $I_1$  は  $I_{w1}$ 、ビット線書き込み電流  $I_2$  は  $I_{b1}$  である。また温度  $T_2 \sim T_3$  における、最適な書き込み電流  $I_1$  は  $I_{w2}$ 、書き込み電流  $I_2$  は  $I_{b2}$  である。

#### 【0210】

図 48 に示す例は、ビット線書き込み電流  $I_2$  を、“0” データ書き込み時及び“1” データ書き込み時それぞれについて記録したものである。図の例であると、温度  $T_1 \sim T_2$  では、ディジット線書き込み電流  $I_1$  の最適値は  $I_{w1}$ 、“0” データ書き込み時のビット線書き込み電流  $I_2$  の最適値は  $I_{b10}$ 、“1” データ書き込み時のビット線書き込み電流  $I_2$  の最適値は  $I_{b11}$  である。また温度  $T_2 \sim T_3$  における最適な書き込み電流  $I_1$  は  $I_{w2}$ 、“0” データ書き込み時の書き込み電流  $I_2$  は  $I_{b20}$ 、“1” データ書き込み時の書き込み電流  $I_2$  は  $I_{b21}$  である。

#### 【0211】

図 49 に示す例は、ディジット線書き込み電流  $I_1$  と、書き込み電流比  $I_1 / I_2$  を記録するものである。図の例であると、温度  $T_1 \sim T_2$  における最適書き込み電流  $I_1$  は  $I_{w1}$  である。そして書き込み電流比  $I_1 / I_2$  は  $c_{10}$  である。従って、最適書き込み電流  $I_2$  は  $I_1 / c_{10} = I_{w1} / c_{10}$  である。また温度  $T_2 \sim T_3$  における最適書き込み電流  $I_1$  は  $I_{w2}$  である。そして書き込み電流比  $I_1 / I_2$  は  $c_{20}$  である。従って、最適書き込み電流  $I_2$  は  $I_1 / c_{20} = I_{w2} / c_{20}$  である。

## 【0212】

図50に示す例は、図49に示す例において、ビット線書き込み電流  $I_2$  を、“0”データ書き込み時及び“1”データ書き込み時それぞれについて記録したものである。図の例であると、温度  $T_1 \sim T_2$  における最適書き込み電流  $I_1$  は  $I_{w1}$  である。そして、“0”データ書き込み時の書き込み電流比  $I_1 / I_2$  は  $c_{11}$  である。また“1”データ書き込み時の書き込み電流比  $I_1 / I_2$  は  $c_{12}$  である。従って、“0”データ書き込み時の最適書き込み電流  $I_2$  は  $I_1 / c_{11} = I_{w1} / c_{11}$  であり、“1”データ書き込み時の最適書き込み電流  $I_2$  は  $I_1 / c_{12} = I_{w1} / c_{12}$  である。また、温度  $T_2 \sim T_3$  においては、最適書き込み電流  $I_1$  は  $I_{w2}$  であり、“0”データ書き込み時の最適書き込み電流  $I_2$  は  $I_1 / c_{21} = I_{w2} / c_{21}$  であり、“1”データ書き込み時の最適書き込み電流  $I_2$  は  $I_1 / c_{22} = I_{w2} / c_{22}$  である。

## 【0213】

次に、上記ステップS2における最適書き込み電流の検索方法について説明する。最適書き込み電流を見つけるためには、書き込み電流  $I_1$ 、 $I_2$  を変化させつつ、書き込みが成功したか否かを検査する。すなわち、書き込み電流制御ブロックが、ディジット線カレントソース15及びビット線カレントソース18、19を制御して、書き込み電流  $I_1$ 、 $I_2$  を変化させながら、メモリセルへの書き込み特性を測定する。この際、メモリセルへ書き込むデータパターンは、データパターンジェネレータが発生するチェッカーボードパターンを用いる。チェッカーボードパターンの生成は、一般的なメモリテストを用いても良い。以下その方法を、図51を用いつつ詳細に説明する。図51は、最適書き込み電流の検索方法のフローチャートである。

## 【0214】

まず、パス数記憶レジスタ640の初期設定を行い（ステップS10）、書き込み電流設定レジスタ660の初期設定を行う（ステップS11）。前述の通り、最適書き込み電流を見つけるには、書き込み電流を変化させつつ、書き込みが成功したか否かを検査して行う。したがって、検査は複数の書き込み電流によって行う必要がある。しかし、書き込み電流  $I_1$ 、 $I_2$  の組み合わせは無限にある

。従って、例えば複数の  $I_1/I_2$  を選択し、各  $I_1/I_2$  において数点の観測ポイントを設定する。具体的には図 5 2 に示すように書き込み電流  $I_1$ 、 $I_2$  の組み合わせを選択する。図 5 2 は書き込み電流  $I_1$ 、 $I_2$  の組み合わせを示すグラフである。図示するように、まず  $I_1/I_2 = c_1, c_2, c_3, c_4$  となる書き込み電流  $I_1$ 、 $I_2$  を選択する。そして、各  $I_1/I_2$  を満たす、原点 ( $I_1 = I_2 = 0$ ) から延びる 4 本の直線上に、27 個の ( $I_1$ 、 $I_2$ ) の組み合わせを選択する。すなわち、この 27 個の ( $I_1$ 、 $I_2$ ) の組み合わせで、メモリセルへの書き込みを行う。各組み合わせを、図中に示すように観測ポイント  $P_1 \sim P_{27}$  と呼ぶことにする。書き込み電流設定レジスタ 660 の初期化とは、最初の書き込み時に用いる ( $I_1$ 、 $I_2$ ) を、電流設定レジスタ 660 に格納することを意味する。例えば、図 5 2 において、観測ポイント  $P_1$  における電流 ( $I_1$ 、 $I_2$ ) が、電流設定レジスタ 660 に格納される。また、パス数記憶レジスタ 640 の初期設定とは次のことを意味する。最適書き込み電流を見つける際には、書き込み電流設定レジスタ 660 に格納されている観測ポイントにおける書き込み電流 ( $I_1$ 、 $I_2$ ) を用いて、メモリセルアレイ 11 にデータパターンを書き込む。そして、メモリセルアレイ 11 内において、正常に書き込みが行われたメモリセル数 (パス数) がカウントされ、その数が最も多い ( $I_1$ 、 $I_2$ ) が最適書き込み電流であると判断される。ステップ S 1 におけるパス数記憶レジスタ 660 の初期設定では、最初の観測ポイント  $P_1$  で書き込みを行った際のパス数との比較対象となるべき当面のパス数が、パス数記憶レジスタ 660 に格納され、そのパス数は例えばゼロでも構わない。

### 【0215】

次に、メモリセルへのデータの書き込みを行うために、発生させるべき電流磁場を設定する (ステップ S 13)。すなわち、セクタ 670 が、書き込み電流設定レジスタ 660 から書き込み電流設定値を読み出す。読み出される書き込み電流設定値は、図 5 2 における観測ポイント  $P_1$  における値 ( $I_1$ 、 $I_2$ ) である。この書き込み電流設定値は、ディジット線カレントソース 15 及びビット線カレントソース 18、19 に与えられる。また、アドレスカウンタ 430 がアドレス信号を生成し、マルチプレクサ 460 からカラムアドレス信号及びロウアド

レス信号がカラムデコーダ 13 及びロウデコーダ 12 に与えられる。更に、データパターングジェネレータ 440 がチェッカーボードパターンのデータパターンを生成する。このデータパターンは、隣接するメモリセル間で書き込みデータが異なるような、データの書き込みパターンである。

#### 【0216】

そして、メモリセルアレイに上記データパターンを書き込む（ステップ S14）。すなわち、ディジット線カレントソース 15 が、書き込み電流設定値に基づいて書き込み電流 I1 をディジット線 DL に供給する。また、データパターンに基づいてビット線カレントソース 18、19 のいずれかが、書き込み電流設定値に基づく書き込み電流 I2 をビット線 BL に供給する。これによりメモリセルの磁気抵抗素子の周囲に磁場が形成され、所定のデータが書き込まれる。

#### 【0217】

上記メモリセルへのデータパターンの書き込みについて、図 53 及び図 54 を用いて説明する。図 53 は、メモリセルアレイ 11 の構成を簡単に示すブロック図であり、図 54 はデータパターンの一例を示す概念図である。

#### 【0218】

図 53 に示すように、例えばメモリセル MC が (5×5) 個あったとする。ステップ S14 におけるデータの書き込みは、全てのメモリセル MC00～MC44 について順次行われる。メモリセルアレイ 11 へ書き込むべきデータパターンは、図 54 に示すようなチェッカーボードパターンである。図 54 が意味するところは、例えばビット線 BL0 及びディジット線 DL0 の交点にあるメモリセル MC00 に対しては“0”データを書き込み、ビット線 BL1 及びディジット線 DL0 の交点にあるメモリセル MC01 に対しては“0”データを書き込むという意味であり、以下同様である。

#### 【0219】

全てのメモリセルについて書き込みが終了した後、書き込みデータの検証を行う。すなわち、アドレスカウンタ 430 がアドレスを生成する（ステップ S15）。そして、生成されたアドレスのメモリセルからデータを読み出し（ステップ S16）、読み出しデータをセンスアンプ 20 で増幅する。次に、メモリセルか

ら読み出したデータと、データパターンジェネレータ 440 が生成したデータパターンとを、比較器 610 が比較する（ステップ S17）。両者が一致すれば（ステップ S18）、パス数カウンタ 620 がカウント数を 1、カウントアップする（ステップ S19）。そして、当該アドレスが、メモリセルアレイの最終アドレスであれば、処理を終了する。そうでなければ、アドレスカウンタ 430 が次のアドレスを生成して、ステップ S16～S20 の処理を繰り返す。

#### 【0220】

上記の書き込みデータの検証方法を、図 53 及び図 54 を用いて具体的に説明する。図 53 に示すメモリセルアレイへ図 54 に示すデータパターンを書き込んだ後、ステップ S15 において、アドレスカウンタ 430 がメモリセル MC00 に対応するアドレス信号 ADD00 を生成する。すると、アドレス信号 ADD00 に基づいて、カラムデコーダ 13 及びロウデコーダ 12 が、メモリセル MC00 を選択し、メモリセル MC00 からデータが読み出される（ステップ S16）。そして、メモリセル MC00 からの読み出しデータと、データパターンジェネレータで生成したデータパターンとを比較する（ステップ S17）。すなわち、図 54 に示すように、メモリセル MC00 に書き込むべきデータは“1”である。従って、メモリセル MC00 に“1”が書き込まれていれば、比較器 610 での比較結果は一致する（ステップ S18）。よって、パス数カウンタ 620 は“1”となる（ステップ S19）。メモリセル MC00 のデータが“0”である場合、すなわちデータの書き込みが失敗している場合には、比較結果は一致しない（ステップ S18）ので、パス数カウンタ 620 は“0”のままである。

#### 【0221】

次に、アドレスカウンタ 430 はメモリセル MC01 に対応するアドレス信号 ADD01 を生成する（ステップ S15）。これにより、メモリセル MC01 からデータが読み出される（ステップ S16）。次に、メモリセル MC01 からの読み出しデータと、データパターンジェネレータで生成したデータパターンとを比較する（ステップ S17）。図 54 に示すように、メモリセル MC01 に書き込むべきデータは“0”である。従って、メモリセル MC01 に“0”が書き込まれていれば、比較結果は一致する（ステップ S18）。よって、パス数カウン



タはカウント数をカウントアップする。一致しなければカウントアップしない。例えばメモリセルMC 0 0に“1”が書き込まれており、且つメモリセルMC 0 1に“0”が書き込まれていれば、パス数カウンタ6 2 0におけるカウント数は“2”となる。上記の処理を、メモリセルMC 0 0～MC 4 4の25個のメモリセルについて繰り返す。メモリセルMC 4 4の検証が終了すれば（ステップS 2 0）、ステップS 1 5～S 2 0の一連の処理が終了する。

#### 【0 2 2 2】

次に、比較器6 5 0が、パス数カウンタ6 2 0のカウント数と、パス数記憶レジスタに記憶されているパス数とを比較する（ステップS 2 1）。この時点におけるパス数カウンタ6 2 0のカウント数は、メモリセルアレイ1 1内において正常な書き込みが行われたメモリセル数（パス数）を意味している。またパス数記憶レジスタには初期設定値が格納されている。パス数カウンタ6 2 0におけるカウント数が、パス数記憶レジスタ6 4 0のパス数よりも大きい場合には、転送ゲート6 3 0がオープンとなり、パス数カウンタ6 2 0のカウント数がパス数記憶レジスタ6 4 0に上書きされる。また同時に、当該書き込みを行った際の温度及び書き込み電流I 1、I 2が書き込み電流設定レジスタ6 6 0に格納される。例えば図5 3、図5 4の例において、パス数記憶レジスタ6 4 0の初期値がゼロ、書き込みに成功したメモリセル数が10個、書き込み電流が図5 2における観測ポイントP 1の電流をP 1（I 1、I 2）、温度がT 1～T 2であったとする。すると、パス数記憶レジスタ6 4 0のパス数<パス数カウンタ6 2 0のカウント数、であるから、パス数記憶レジスタには新たに“10”が記憶され、書き込み電流設定レジスタ6 6 0にはP 1における書き込み電流P 1（I 1、I 2）及び温度T 1～T 2が記憶される。

#### 【0 2 2 3】

次に、他の電流磁場設定点があれば（ステップS 2 4）、前回と同じ温度において、上記ステップS 1 3～S 2 3の処理を繰り返す。図5 2の例であると、次に観測ポイントP 2における書き込み電流P 2（I 1、I 2）による新たな電流磁場を発生させる（ステップS 1 3）。そして、書き込み電流P 2（I 1、I 2）によるメモリセルアレイ1 1へのデータパターンの書き込みを行い（ステップ

S 1 4)、上記した方法により書き込みデータの検証を行う。データ検証の結果、書き込みに成功したメモリセル数が、観測ポイント P 1 における場合よりも多ければ、パス数記憶レジスタ 6 4 0 及び書き込み電流設定レジスタ 6 6 0 のデータが、観測ポイント P 2 における場合のデータに書き換えられる。そうでなければ、各レジスタ 6 4 0、6 6 0 のデータはそのままである。以上の処理を、観測ポイント P 1 ~ P 2 7 まで繰り返す。すると、最終的には、書き込み電流設定レジスタ 6 6 0 には、書き込みに成功したメモリセル数が最も多い書き込み電流のデータが記憶されることになり、パス数記憶レジスタ 6 4 0 には、その際のパス数が記憶されることになる。すなわち、この時点において書き込み電流設定レジスタ 6 6 0 に保持されている書き込み電流が、当該温度における最適な書き込み電流である。この様子を示しているのが図 5 5 である。

#### 【0224】

図 5 5 は、横軸に書き込み電流 I 1 を、縦軸に書き込み電流 I 2 をプロットしたグラフであり、各観測ポイント P 1 ~ P 2 7 を示している。また同時に、各観測ポイント P 1 ~ P 2 7 におけるパス数を示している。図中における破線で囲った領域 AREA 1 ~ AREA 6 が、所定のパス数の領域を示しており、AREA 1 から AREA 6 に行くに従って、パス数が増加していることを示す。すなわち、観測ポイント P 1 4、P 1 8 は領域 AREA 6 内にあるから、書き込みに成功したメモリセル数が最も多いことを示す。逆に観測ポイント P 1 ~ P 4 及び P 2 4、P 2 6、P 2 7 は領域 AREA 1 内にあるから、書き込みに成功したメモリセル数が最も少ないことを示す。観測ポイント P 1 ~ P 4 で書き込みに失敗した原因は、書き込み電流が小さすぎて、電流磁界が書き込み閾値に達しなかったことが原因である。また観測ポイント P 2 4、P 2 6、P 2 7 で書き込みに失敗した原因は、書き込み電流が大きすぎて、漏れ磁界によって隣接セルに誤書き込みを生じさせたことが原因である。

#### 【0225】

図 5 6 は、図 5 5 において簡略化の為に観測ポイントの図示を省略したものである。最もパス数の多い領域 AREA 6 に対応する書き込み電流 I 1、I 2 こそが、当該温度における最適な書き込み電流であり、且つその領域は、上記第 1 の

実施形態で説明した図 12 における斜線の範囲の、特に中央部に相当する。そして書き込み電流設定レジスタには、上記ステップ S 11～S 24 で説明した処理の結果、図 56 における領域 AREA 6 に対応する書き込み電流 I 1、I 2 のデータが格納される。

#### 【0226】

図 46 に戻って説明すると、上記ステップ S 11～S 24 の処理によって、ステップ S 2 における最適書き込み電流 I 1、I 2 の検索が終了する。次に、書き込み電流を設定すべき他の温度があるか判断する（ステップ S 3）。すなわち、上記第 3 の実施形態でも述べたように、アステロイド曲線は温度によって変化する。換言すれば、最適な書き込み電流の値も温度によって変化する。この様子を示しているのが図 57 である。図中における破線が、各温度範囲における最適な書き込み電流を示す領域（図 55、図 56 における領域 AREA 6 に相当）である。図示するように、最適な書き込み電流は、温度が上昇すると共に、定電流化していく。従って、各温度毎に最適な書き込み電流の値を見つける必要がある。

#### 【0227】

従って、他の温度で設定する必要があれば（ステップ S 4）、新たな温度に温度設定した後（ステップ S 1）、図 51 に示すフローを行って、その温度における最適な書き込み電流を見つける。必要な全ての温度において書き込み電流が見つかった場合には（ステップ S 4）、処理を終了する。

#### 【0228】

その結果、書き込み電流設定レジスタ 660 には、図 47 乃至図 50 に示すようなデータが格納される。すなわち、各温度における最適な書き込み電流 I 1、I 2 が、書き込み電流設定レジスタ 660 に保持される。

#### 【0229】

次に、通常の手書き動作について、図 58 を用いて簡単に説明する。図 58 は、書き込み動作時のフローチャートである。

図 46、図 51 で説明したフローにより、最適な書き込み電流 I 1、I 2 に関するデータが、書き込み電流設定レジスタ 660 に保持されている（ステップ S 30）。ここでは、書き込み電流設定レジスタ 660 には図 47 に示すデータが

格納されているとする。

### 【0230】

まず、制御信号入力ピンから書き込みモード信号が入力される。これにより、モードセクタ470は書き込みモードを選択し、シーケンサ480は、各回路ブロックに書き込み動作をさせる。

### 【0231】

シーケンサは、データ入力レシーバ410及びアドレス入力レシーバをイネーブル状態にする。これにより、データ入力レシーバ410は、データ入力ピンからデータ信号を受け取り、アドレス入力レシーバ420はアドレス信号を受け取る。ディジット線セクタ14は、ロウデコーダ12で得られたロウアドレス信号に応じてディジット線を選択し、ビット線セクタ17は、カラムデコーダ13で得られたカラムアドレス信号に応じてビット線を選択する（ステップS31）。そしてディジット線カレントソース15は、選択されたディジット線に書き込み電流I1を供給し、データ信号に応じてビット線カレントソース18、19のいずれかがビット線BLに書き込み電流I2を供給する。

### 【0232】

すなわち、ディジット線カレントソース15及びビット線カレントソース18、19は、書き込み電流設定レジスタ660から与えられるデータに応じて、供給する書き込み電流I1、I2を制御する。セクタ670は温度センサを備えており、周囲温度を検出する（ステップS32）。そして、セクタ670は、温度に応じた最適な書き込み電流I1、I2の値を、書き込み電流設定レジスタ660から読み出して、ディジット線カレントソース15及びビット線カレントソース18、19へ送出する（ステップS33）。例えば、温度T1～T2においては、書き込み電流設定レジスタ660から $I1 = Iw1$ 、 $I2 = Ib1$ というデータが読み出される。このデータに応じて、ディジット線カレントソース15は $I1 = Iw1$ をディジット線DLに供給し、ビット線カレントソース18、19は $I2 = Ib1$ をビット線BLに供給する（ステップS34）。この結果、選択メモリセルには最適な書き込み電流によって書き込みが行われる。

### 【0233】

上記本実施形態に係るMRAMであると、温度毎に最適な書き込み電流  $I_1$ 、 $I_2$  を検索し、保持している。そして、温度に応じて最適な書き込み電流  $I_1$ 、 $I_2$  の値を読み出して、書き込み動作を行っている。従って、温度によってアステロイド曲線が変化した場合であっても、上記第1、第2の実施形態で説明した効果が得られる。

#### 【0234】

なお、本実施形態においては、ディジット線カレントソース15及びビット線カレントソース18、19は、上記第3乃至第7の実施形態で示した電流供給回路70を内在するものとして取り扱っているため、図45では電流供給回路70は図示していない。各カレントソース15、18、19の電流を制御する場合には、例えば電流供給回路70の電流源74が供給する電流を直接制御しても良いし、カレントソース15、18、19が第7の実施形態で説明した構成（図38参照）を有する場合には、各制御スイッチを制御しても良い。

#### 【0235】

また本実施形態では、図57において、最適書き込み電流が温度によって1次関数的に変化する場合を例に挙げて説明した。しかし、各温度において逐一最適書き込み電流を探しているので、アステロイド曲線が温度によってどのように変化しても、常時最適な書き込み動作が可能である。

#### 【0236】

更に、電流供給回路70が上記第4乃至第6の実施形態で説明した構成、すなわち温度と共に電流源74の供給電流がアステロイド曲線と共に変化する場合には、本実施形態におけるステップS2の処理は、ある1点の温度でのみ行えば十分である。

#### 【0237】

更に、本実施形態では、図51におけるステップS14～S20の処理を、メモリセルアレイ11の全てのメモリセルについて行う場合を例に挙げて説明した。しかし、メモリセルの特性がメモリセルアレイ内でランダムに分布していることを想定しうる場合には、ある特定の領域内のメモリセル群に対してのみ、ステップS14～S20の処理を行えば十分である。また上記処理は、ダイソートテ

ストを行って、不良セルを冗長セルで置き換えた後に行うのが、より精度の高い書き込み電流を発見できる点で望ましい。

#### 【0238】

上記のように、この発明の第1乃至第9の実施形態に係る半導体記憶装置によれば、ディジット線カレントソース及びビット線カレントソースは、困難軸方向磁界と容易軸方向磁界とが一定の関係を維持するように、ディジット線及びビット線に電流を供給する。その一定の関係とは、書き込み時の動作マージンを最大に出来るような関係である。

#### 【0239】

すなわち、上記第1の実施形態においては、理想的なアステロイド曲線を有するメモリセルにおいては、ディジット線カレントソース及びセンス線カレントソースは、困難軸方向磁界と容易軸方向磁界とが等しくなるように、ディジット線及びビット線に電流を供給する。

#### 【0240】

また、上記第2の実施形態においては、アステロイド曲線が理想形状からずれた場合、ディジット線カレントソース及びビット線カレントソースは、磁界のバラツキを考慮した際の困難軸方向磁界の最小閾値と容易軸方向磁界の最小閾値とが等しくなる際の両者の比率を常に維持するように、ディジット線及びセンス線に電流を供給する。より具体的には、前記困難軸方向磁界 $H_x$ 及び容易軸方向磁界 $H_y$ を、選択メモリセルに困難軸方向で隣接する第1隣接メモリセルにおける困難軸方向磁界 $H_x$ の最小書き込み閾値と、選択メモリセルに容易軸方向で隣接する第2隣接メモリセルにおける困難軸方向磁界 $H_x$ の最小書き込み閾値とが一致し、且つ第1隣接メモリセルにおける容易軸方向磁界 $H_y$ の最小書き込み閾値と、第2隣接メモリセルにおける容易軸方向磁界 $H_y$ の最小書き込み閾値とが一致する際の、 $H_x$ 、 $H_y$ の最小書き込み閾値の比を常に保つように維持する。

#### 【0241】

また、上記第1、第2の実施形態に係る構成は、第3の実施形態によって具体化される。更に第3の実施形態であると、ビット線書き込み電流 $I_1$ を、書き込みデータに応じて変化させている。従って、アステロイド曲線が容易軸方向にず

れた場合であっても、データの書き込み信頼性を向上できる。

#### 【0242】

更に第4乃至第8の実施形態に係る構成によっても、上記第1、第2の実施形態が具体化される。これらの実施形態では、書き込み電流  $I_1$ 、 $I_2$  の値を、温度によって変化させている。そしてその変化の度合いは、磁気抵抗素子のアステロイド曲線の温度に対する変化の度合いと一致している。従って、温度変化によって、メモリセルの書き込み閾値が変化した場合であっても、上記第1、第2の実施形態で説明した書き込み電流  $I_1$ 、 $I_2$  の関係が実現できる。

#### 【0243】

更に第9の実施形態では、最適な書き込み電流  $I_1$ 、 $I_2$  を発見するための方法が開示されている。すなわち、上記第1、第2の実施形態で説明した書き込み電流  $I_1$ 、 $I_2$  の関係が、第9の実施形態で説明した構成によっても実現できる。

#### 【0244】

なお、 $H_x/H_y$  及び  $I_1/I_2$  の値は、必ずしも定数ではなく、何らかの関数であってもよい。また、アステロイド曲線は、温度だけでなく時間が経つにつれて変化する場合もある。従って、最適な書き込み電流の設定は、製造からの経過時間に応じて行うことが望ましい。

#### 【0245】

図59は、上記第1乃至第9の実施形態の第1変形例に係る半導体記憶装置のメモリセルの断面図である。図示するように、図4に示す構造において、絶縁膜48上に磁性体膜700が設けられ、磁性体膜700上に絶縁膜710が設けられ、磁性体膜49が絶縁膜710上に設けられている。所謂ダブルジャンクション構造を有している。磁性体膜47、49のスピンの向きは予め、互いに等しくなるよう所定の方に設定されている。その上で、磁性体膜700のスピンの向きを磁性体膜47、48に対して平行、または反平行とすることで、“0”データ、または“1”データを書き込む。図59に示す構造であると、図4に示す構造よりも高いMR比を得ることが出来、データ保持の観点において信頼性に優れている。なお、MR比とは“0”データ書き込み状態と“1”データ書き込み状

態とにおける磁気抵抗素子の抵抗比である。

【0246】

図60 (a)、(b)は、上記第1乃至第9の実施形態の第2変形例に係る半導体記憶装置のメモリセルを示しており、(a)図は等価回路、(b)図は断面図である。図示するように、MRAMセルは磁気抵抗素子のみで構成されている。すなわち、シリコン基板33上に設けられた層間絶縁膜36中にワード線WLとなる金属配線層720が設けられている。そして金属配線層720上に、絶縁膜48を磁性体膜47、49で挟んだ構造の磁気抵抗素子が設けられている。更に、磁性体膜49上に、ビット線BLとなる金属配線層51が、ワード線WLと直交する方向に延設されている。このようなクロスポイント型のメモリセルの場合であっても、図60 (c)の断面図に示すように、ダブルジャンクション構造としても良い。

【0247】

図61 (a)、(b)は、上記第1乃至第9の実施形態の第3変形例に係る半導体記憶装置のメモリセルを示しており、(a)図は等価回路、(b)図は断面図である。図示するように、メモリセルは、磁気抵抗素子と整流素子（ダイオード）との組み合わせで形成されている。すなわち、図60 (b)に示す構造において、ワード線WLとなる金属配線層720と磁性体膜47との間にn型半導体層730及びp型半導体層740を設けることにより、ワード線WLとビット線BLとの間に、磁気抵抗素子と直列にダイオード65を挿入している。このように、磁気抵抗素子と整流素子とによってメモリセルを構成した場合であっても、図61 (c)の断面図に示すように、ダブルジャンクション構造を採用しても良い。

【0248】

図62 (a)、(b)は、上記第1乃至第9の実施形態の第4変形例に係る半導体記憶装置のメモリセルを示しており、(a)図は等価回路、(b)図は断面図である。図示するように、メモリセルはクロスポイント型であり、且つデジタル線DLを有している。すなわち、シリコン基板33上に設けられた層間絶縁膜36中にビット線BLとなる金属配線層51が設けられている。またビット線



BLと同一のレベルにデジタル線DLとなる金属配線層44が、ビット線BLと平行に設けられている。更に層間絶縁膜36中には、ビット線BLと金属配線層760、32によって接続され、且つデジタル線DLと近接するようにして磁気抵抗素子30が設けられている。磁気抵抗素子30は、金属配線層32上に設けられた磁性体膜47、磁性体膜47上に設けられた絶縁膜48、及び絶縁膜48上に設けられた磁性体膜49を有している。そして、磁性体膜49に電氣的に接続されるようにして、層間絶縁膜36上にワード線WLとなる金属配線層720が、デジタル線DLと直交する方向に設けられている。勿論、このような構造の場合であっても、図62(c)に示すように、ダブルジャンクション構造を採用しても良い。

#### 【0249】

図63は、上記第1乃至第9の実施形態の第6変形例に係る半導体記憶装置の平面図である。上記第1乃至第9の実施形態では、ビット線BLが困難軸方向に沿って形成され、デジタル線DLが容易軸方向に沿って形成されている場合について説明した。従って、メモリセルに書き込まれるデータは、ビット線BLに流れる電流の向きによって制御される。しかし図63のように、ビット線BLを容易軸方向に沿って形成し、デジタル線DLを困難軸方向に沿って形成しても良い。この場合には、メモリセルに書き込まれるデータは、デジタル線DLに流れる電流の向きによって制御される。

#### 【0250】

また、上記第1、第2の実施形態及びその変形例では、MTJ素子を用いたメモリセルの場合を例に挙げて説明したが、例えばGMR (Giant Magneto Resistive)素子、CMR (Colossal Magneto Resistive)素子を用いる場合であっても良い。

#### 【0251】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全

構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【 0 2 5 2 】

【発明の効果】

以上説明したように、この発明によれば、書き込み動作の信頼性を向上できる半導体記憶装置及びその制御方法を提供できる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態に係る M R A M のブロック図。

【図 2】 この発明の第 1 の実施形態に係る M R A M の備えるメモリセルアレイの回路図。

【図 3】 この発明の第 1 の実施形態に係る M R A M の備えるメモリセルアレイの平面図。

【図 4】 図 3 における X 1 - X 1 ' 線に沿った断面図。

【図 5】 この発明の第 1 の実施形態に係る M R A M の備えるメモリセルの斜視図。

【図 6】 この発明の第 1 の実施形態に係る M R A M の備えるメモリセルアレイの平面図。

【図 7】 配線周囲の磁界強度について示しており、配線からの距離と磁界強度との関係を示す関係図。

【図 8】 配線周囲の磁界強度について示しており、配線からの距離と、困難軸方向磁界及び容易軸方向磁界との関係を示す関係図。

【図 9】 この発明の第 1 の実施形態に係る M R A M における、選択メモリセルのアステロイド曲線を示す図。

【図 1 0】 この発明の第 1 の実施形態に係る M R A M における、隣接セルのアステロイド曲線を示す図。

【図 1 1】 この発明の第 1 の実施形態に係る M R A M における、隣接セルのアステロイド曲線を示す図。

【図 1 2】 この発明の第 1 の実施形態に係る M R A M における、選択メモ

リセル及び隣接セルのアステロイド曲線を示す図。

【図 1 3】 配線の断面図。

【図 1 4】 この発明の第 2 の実施形態に係る M R A M における、選択メモリセルのアステロイド曲線を示す図。

【図 1 5】 この発明の第 2 の実施形態に係る M R A M における、隣接セルのアステロイド曲線を示す図。

【図 1 6】 この発明の第 2 の実施形態に係る M R A M における、隣接セルのアステロイド曲線を示す図。

【図 1 7】 この発明の第 2 の実施形態に係る M R A M における、選択メモリセル及び隣接セルのアステロイド曲線を示す図。

【図 1 8】 この発明の第 3 の実施形態に係る M R A M の一部領域の回路図。

【図 1 9】 この発明の第 3 の実施形態に係る M R A M の備える電流源の回路図。

【図 2 0】 この発明の第 3 の実施形態に係る M R A M の備える電流源が供給する電流と温度との関係を示すグラフ。

【図 2 1】 M R A M セルのアステロイド曲線を示す図。

【図 2 2】 この発明の第 3 の実施形態の変形例に係る M R A M の一部領域の回路図。

【図 2 3】 M R A M セルのアステロイド曲線を示す図。

【図 2 4】 この発明の第 4 の実施形態に係る M R A M の備える電流源の回路図。

【図 2 5】 この発明の第 4 の実施形態に係る M R A M の備える電流源が供給する電流と温度との関係を示すグラフ。

【図 2 6】 この発明の第 4 の実施形態の変形例に係る M R A M の備える電流源の回路図。

【図 2 7】 この発明の第 4 の実施形態の変形例に係る M R A M の備える電流源が供給する電流と温度との関係を示すグラフ。

【図 2 8】 この発明の第 5 の実施形態に係る M R A M の備える電流源の回

路図。

【図 2 9】 この発明の第 5 の実施形態に係る M R A M の備える温度センサの回路図。

【図 3 0】 この発明の第 5 の実施形態に係る M R A M の備える温度センサの出力する電圧、及び電流源が出力する電流と温度との関係を示すグラフ。

【図 3 1】 この発明の第 5 の実施形態に係る M R A M の備える電流源の回路図。

【図 3 2】 この発明の第 5 の実施形態の変形例に係る M R A M の備える電流源の回路図。

【図 3 3】 この発明の第 5 の実施形態の変形例に係る M R A M の備える温度センサの出力する電圧、及び電流源が出力する電流と温度との関係を示すグラフ。

【図 3 4】 この発明の第 6 の実施形態に係る M R A M の備える電流源の回路図。

【図 3 5】 この発明の第 6 の実施形態に係る M R A M の備える温度センサの出力する電圧、及び電流源が出力する電流と温度との関係を示すグラフ。

【図 3 6】 この発明の第 6 の実施形態の変形例に係る M R A M の備える電流源の回路図。

【図 3 7】 この発明の第 6 の実施形態の変形例に係る M R A M の備える温度センサの出力する電圧、及び電流源が出力する電流と温度との関係を示すグラフ。

【図 3 8】 この発明の第 7 の実施形態に係る M R A M の一部領域の回路図。

【図 3 9】 この発明の第 7 の実施形態に係る M R A M が備える設定回路の回路図。

【図 4 0】 この発明の第 7 の実施形態の第 1 変形例に係る M R A M が備える設定回路の回路図。

【図 4 1】 この発明の第 7 の実施形態の第 2 変形例に係る M R A M の一部領域の回路図。

【図 4 2】 この発明の第 7 の実施形態の第 3 変形例に係る MRAM の一部領域の回路図。

【図 4 3】 この発明の第 8 の実施形態に係る MRAM のブロック図。

【図 4 4】 この発明の第 8 の実施形態の変形例に係る MRAM のブロック図。

【図 4 5】 この発明の第 9 の実施形態に係る MRAM のブロック図。

【図 4 6】 この発明の第 9 の実施形態に係る MRAM において、温度に応じて最適な書き込み電流を設定するための処理を示すフローチャート。

【図 4 7】 この発明の第 9 の実施形態に係る MRAM が保持する、書き込み電流のデータを示す概念図。

【図 4 8】 この発明の第 9 の実施形態に係る MRAM が保持する、書き込み電流のデータを示す概念図。

【図 4 9】 この発明の第 9 の実施形態に係る MRAM が保持する、書き込み電流のデータを示す概念図。

【図 5 0】 この発明の第 9 の実施形態に係る MRAM が保持する、書き込み電流のデータを示す概念図。

【図 5 1】 この発明の第 9 の実施形態に係る MRAM において、最適な書き込み電流を設定するための処理を示すフローチャート。

【図 5 2】 この発明の第 9 の実施形態に係る MRAM において、ディジット線及びビット線に供給する書き込み電流の関係を示すグラフであり、最適書き込み電流を探す際の観測ポイントを示す図。

【図 5 3】 MRAM のメモリセルの回路図。

【図 5 4】 この発明の第 9 の実施形態に係る MRAM において、最適な書き込み電流を設定する際に使用するデータパターンの概念図。

【図 5 5】 この発明の第 9 の実施形態に係る MRAM において、ディジット線及びビット線に供給する書き込み電流と、正常な書き込みが行われたメモリセル数との関係を示すグラフ。

【図 5 6】 この発明の第 9 の実施形態に係る MRAM において、ディジット線及びビット線に供給する書き込み電流と、正常な書き込みが行われたメモリ

セル数との関係を示すグラフ。

【図 57】 この発明の第 9 の実施形態に係る MRAM において、デジタル線及びビット線に供給する最適な書き込み電流の範囲が温度によって変化する様子を示すグラフ。

【図 58】 この発明の第 9 の実施形態に係るにおける、書き込み動作時のフローチャート。

【図 59】 この発明の第 1 乃至第 9 の実施形態の第 1 変形例に係る MRAM の備えるメモリセルの断面図。

【図 60】 この発明の第 1 乃至第 9 の実施形態の第 2 変形例に係る MRAM の備えるメモリセルについて示しており、(a) 図は等価回路図、(b) 図及び (c) 図は断面図。

【図 61】 この発明の第 1 乃至第 9 の実施形態の第 3 変形例に係る MRAM の備えるメモリセルについて示しており、(a) 図は等価回路図、(b) 図及び (c) 図は断面図。

【図 62】 この発明の第 1 乃至第 9 の実施形態の第 4 変形例に係る MRAM の備えるメモリセルについて示しており、(a) 図は等価回路図、(b) 図及び (c) 図は断面図。

【図 63】 この発明の第 1 乃至第 9 の実施形態の第 5 変形例に係る MRAM の備えるメモリセルアレイの平面図。

#### 【符号の説明】

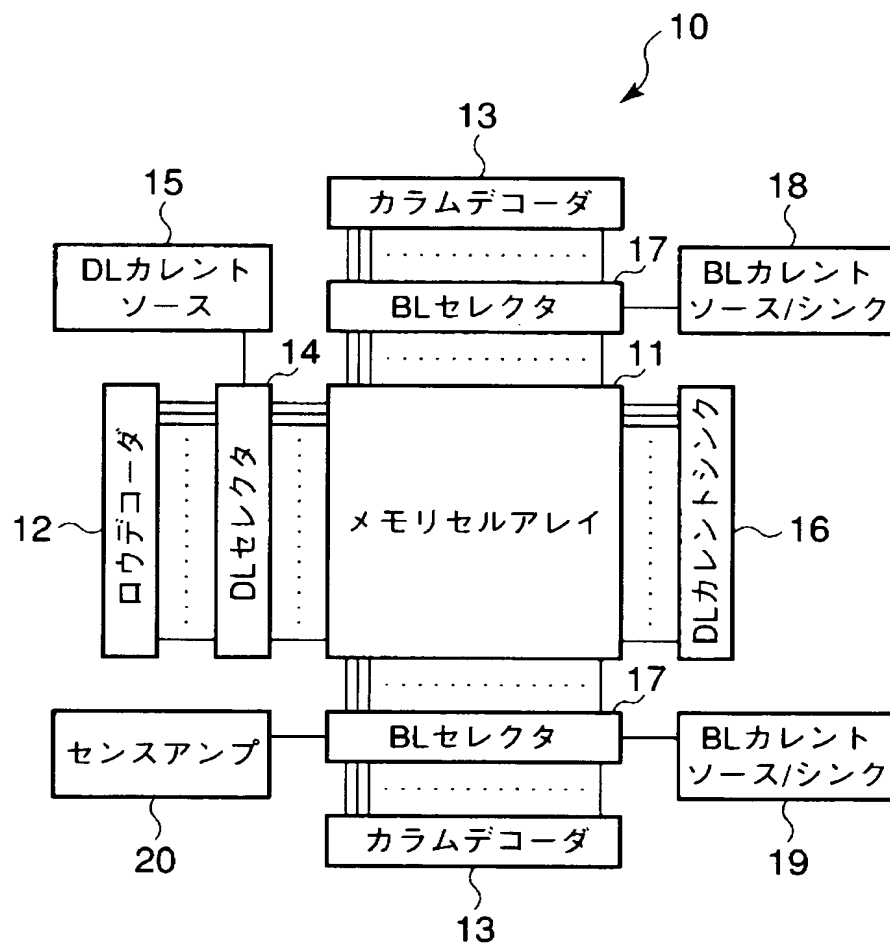
10…MRAM、11…メモリセルアレイ、12…ロウデコーダ、13…カラムデコーダ、14…デジタル線セレクタ、15…デジタル線カレントソース、16…デジタル線カレントシンク、17…ビット線セレクタ、18、19…ビット線カレントソース／カレントシンク、18-1、19-1…ビット線カレントソース、18-2、19-2…ビット線カレントシンク、20…センスアンプ、30、182…磁気抵抗素子、31…スイッチングトランジスタ、32…金属配線層（引き出し配線）、33…半導体基板、34…ソース・ドレイン領域、35…ゲート電極（ワード線）、36、41、45、50…層間絶縁膜、37、38、42、46、66、760…コンタクトプラグ、39、40、43、52

…金属配線層、44…金属配線層（ディジット線）、47、49、700…磁性  
体膜、48、710…絶縁膜、51…金属配線層（ビット線）、60、61、6  
3、64、66、67、71、77、78、79、80、86、87、92、9  
4、98～100、99-1、99-2、100-1、100-2、111、  
121、130～150、161、165、167、169、173、180…  
pチャネルMOSトランジスタ、62、65、68、72、73、81、82、  
88、89、95～97、122、123、162、166、168、174、  
181、183…nチャネルMOSトランジスタ、70、70-1、70-2…  
電流供給回路、74…電流源、75、75-1～75-3、76、76-1～7  
6-3、93、93-1、93-2、120、120-1、120-2…回路ブ  
ロック、83、90…抵抗素子、84、85、91…ダイオード、110、11  
0-1、110-2、200…温度センサ、160、160-1～160-4…  
設定回路、163、164、171、172、175、176…インバータ、1  
70…ヒューズ素子、179…NANDゲート、190…制御回路、210…切  
り替え回路、300…メモリセルブロック、400…周辺回路ブロック、410  
…データ入力レシーバ、420…アドレス入力レシーバ、430…アドレスカウ  
ンタ、440…データパターンジェネレータ、450、460…マルチプレクサ  
、470…モードセレクタ、480…シーケンサ、490…クロック発生器、5  
00…出力ドライバ、600…書き込み電流制御ブロック、610、650…比  
較器、620…パス数カウンタ、630…転送ゲート、640…パス数記憶レジ  
スタ、660…書き込み電流設定レジスタ、670…セレクタ、720…金属配  
線層（ワード線）、730…n型半導体層、740…p型半導体層、750…ダ  
イオード

【書類名】

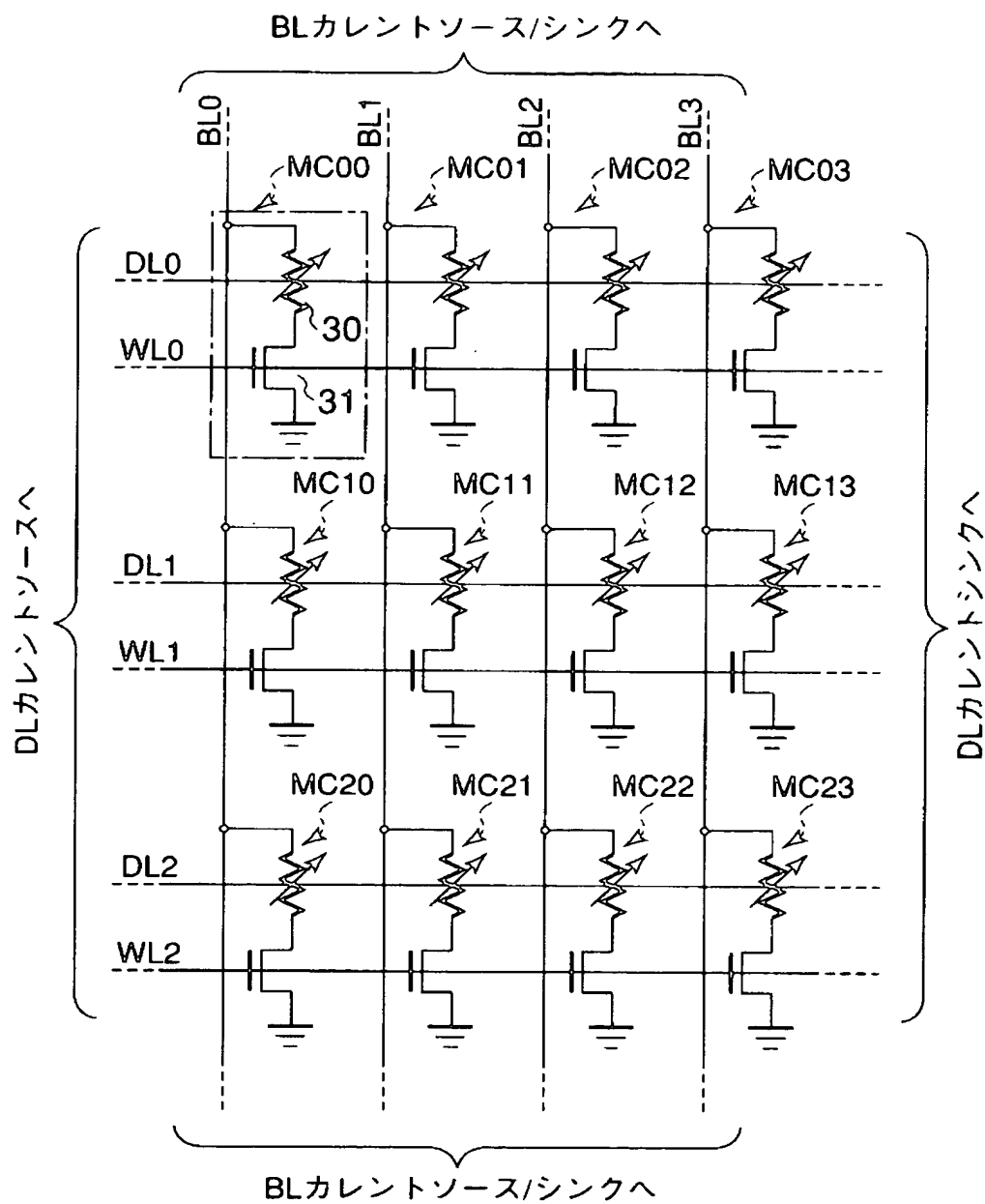
図面

【図 1】

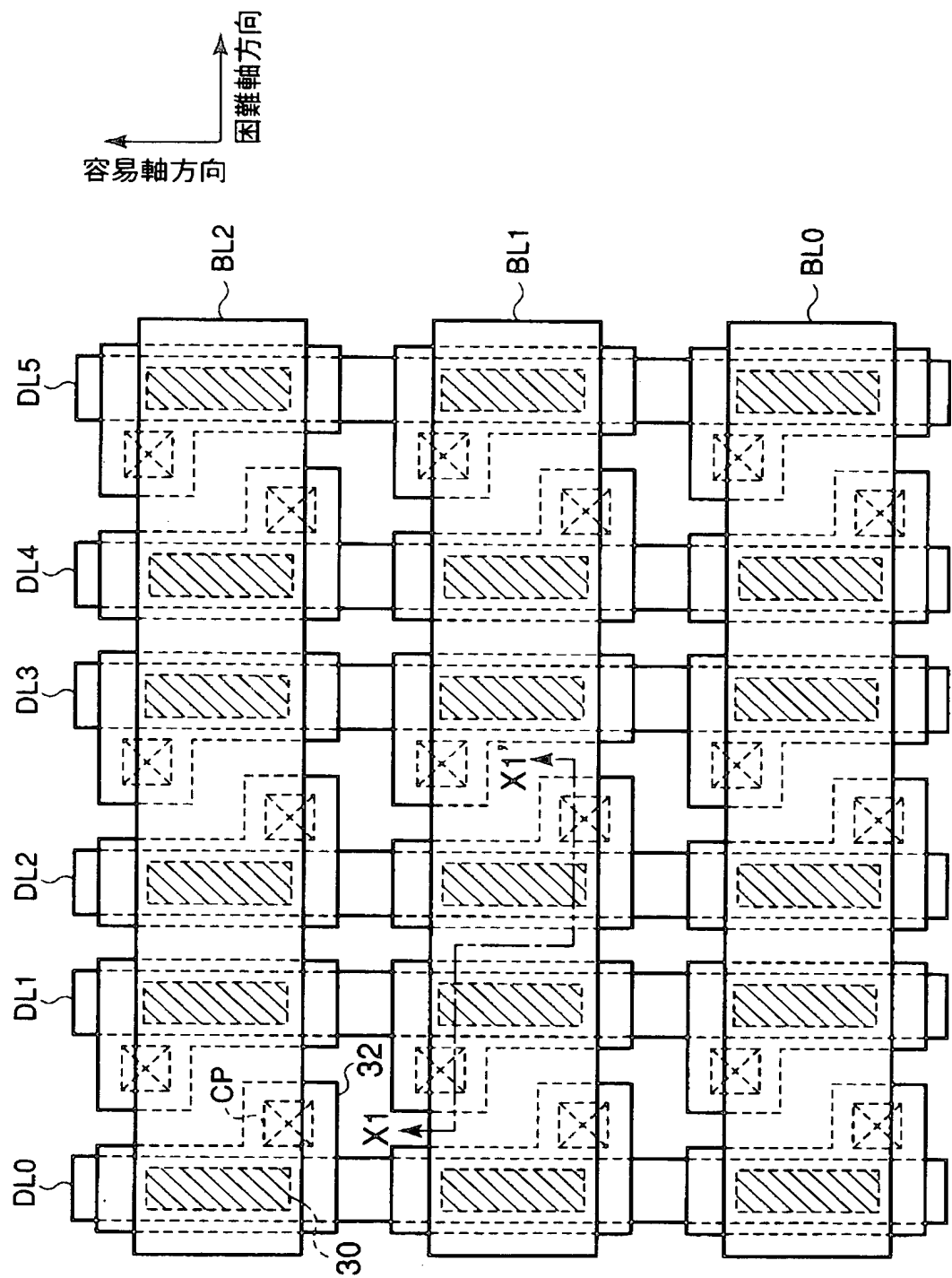




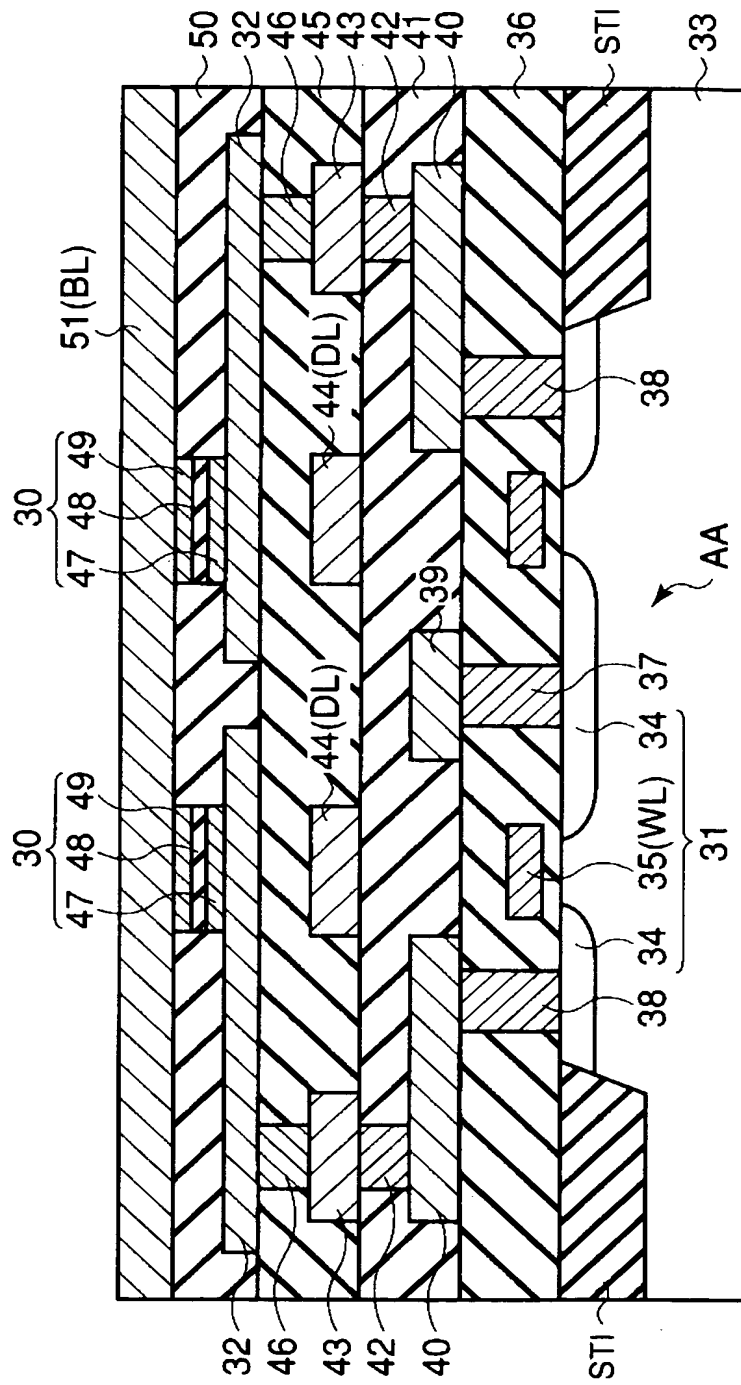
【図 2】



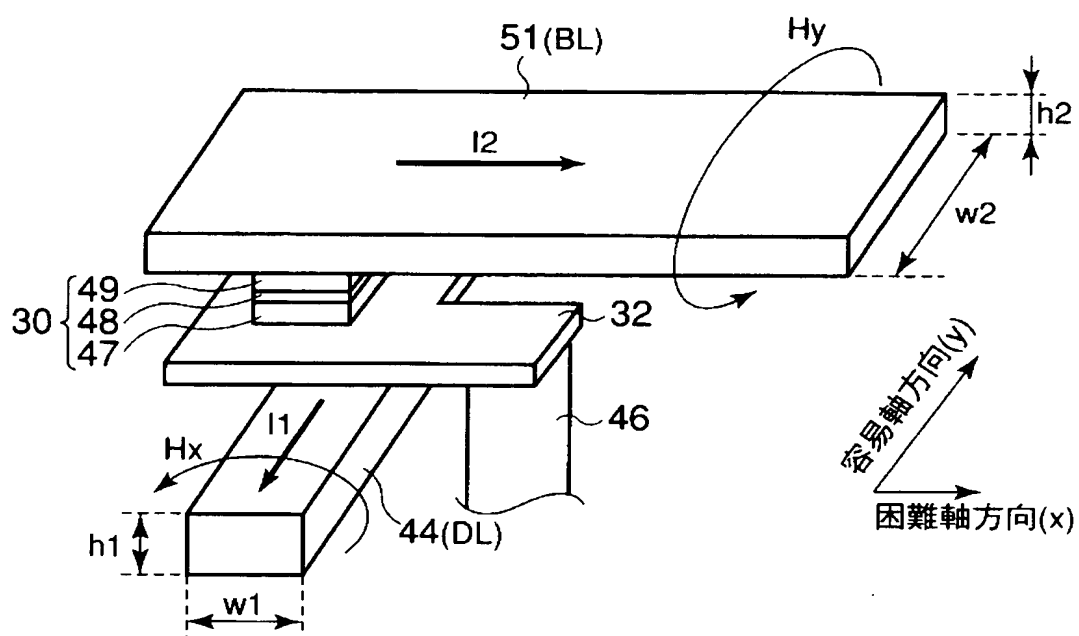
【図 3】



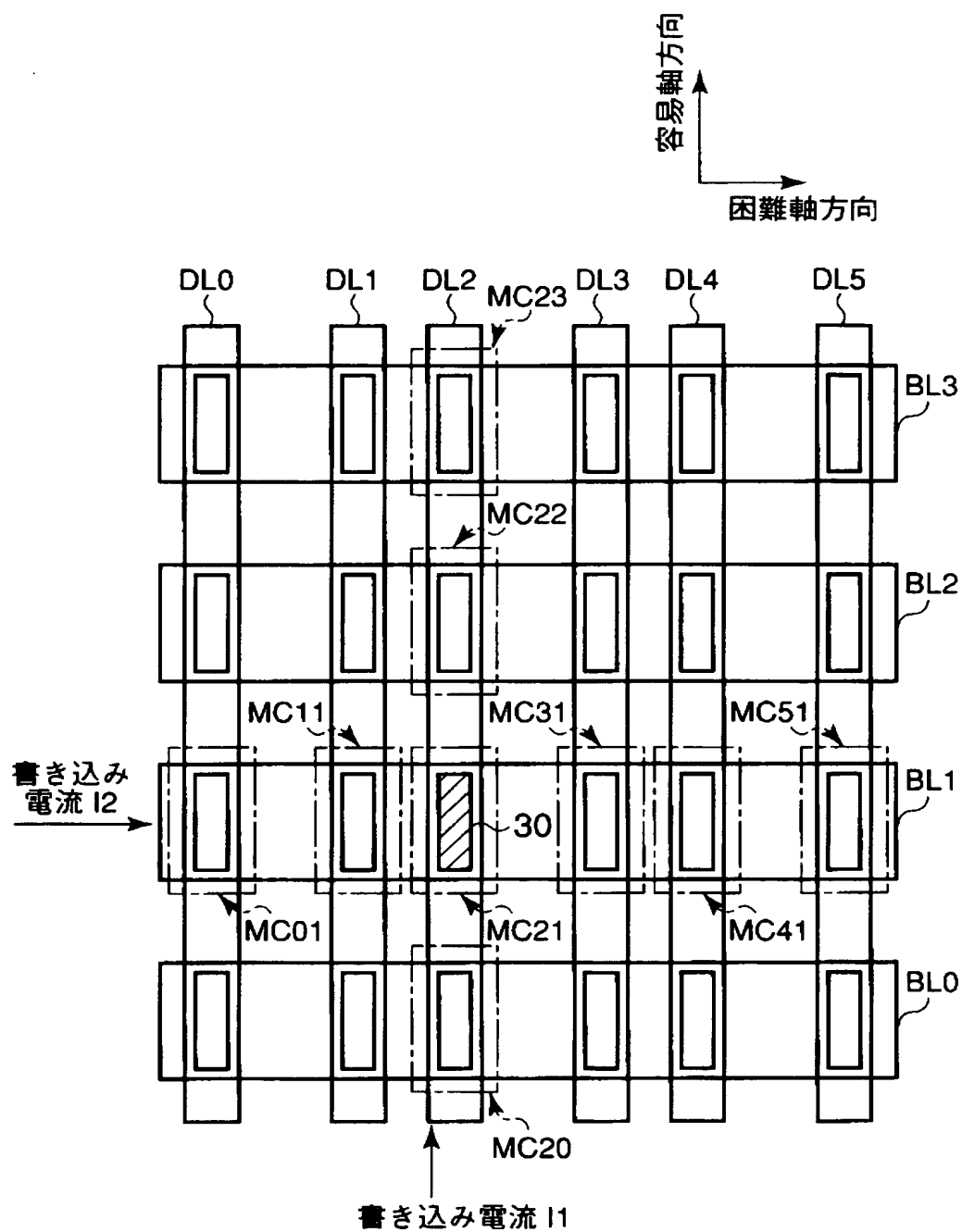
【図 4】



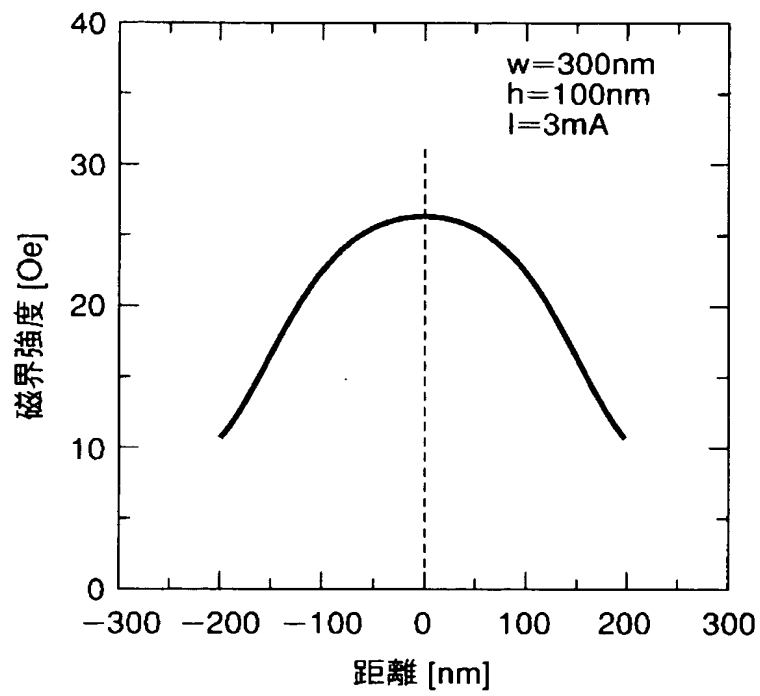
【図 5】



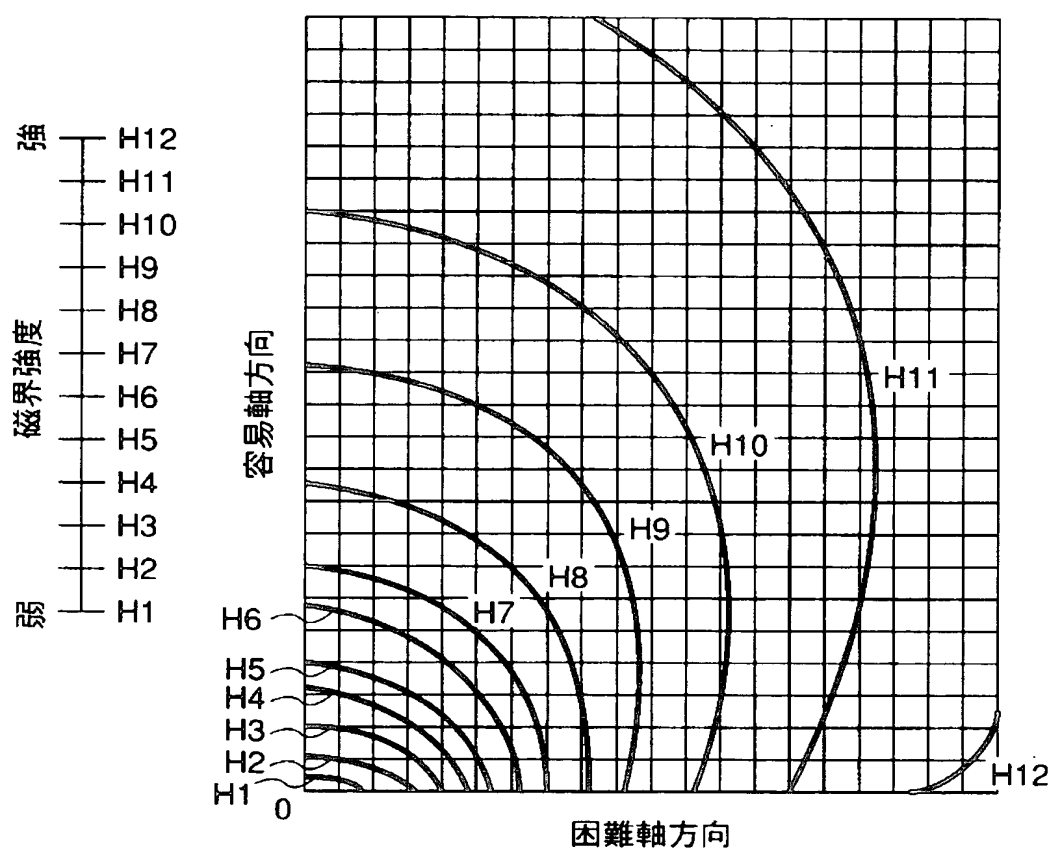
【図 6】



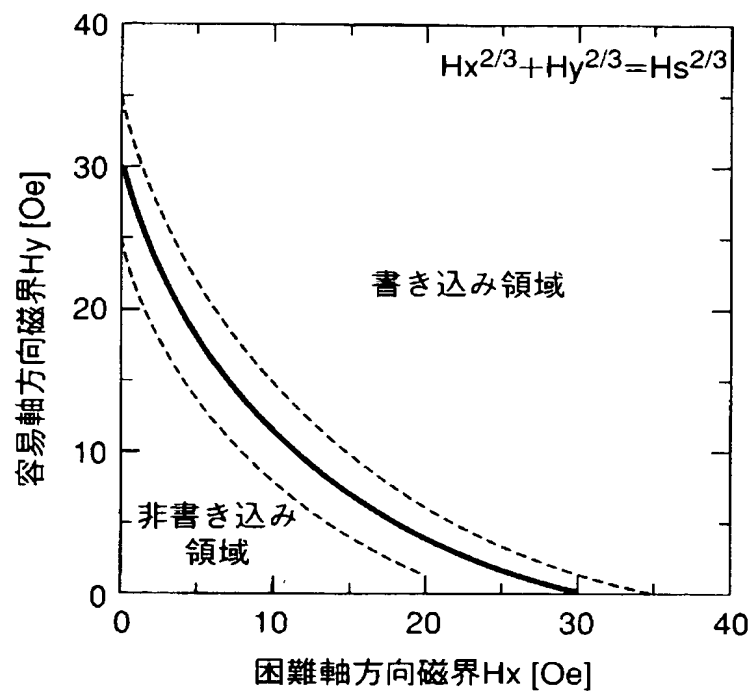
【図 7】



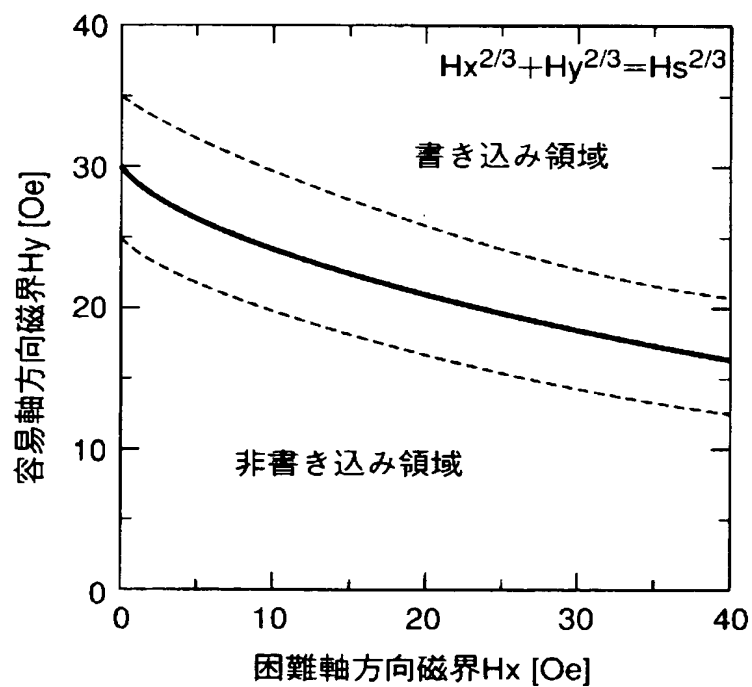
【図 8】



【図 9】

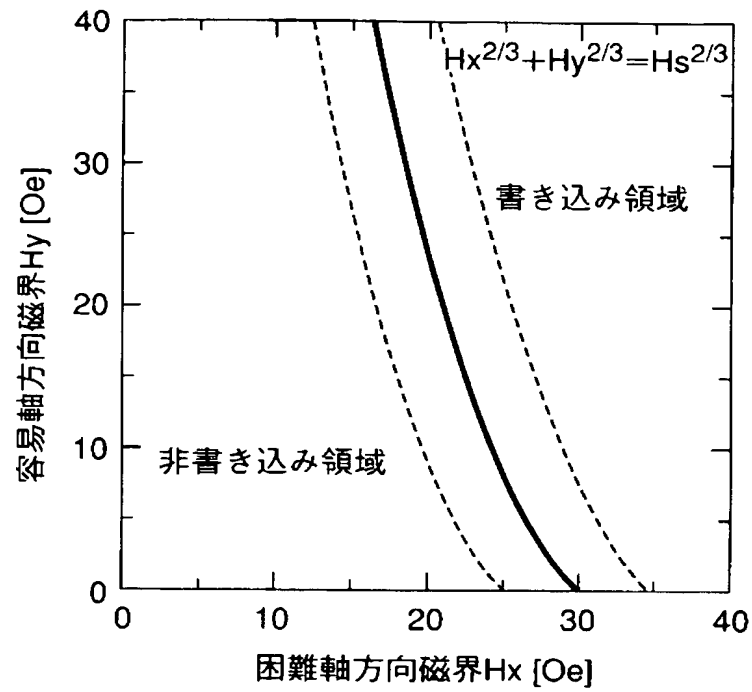


【図 10】

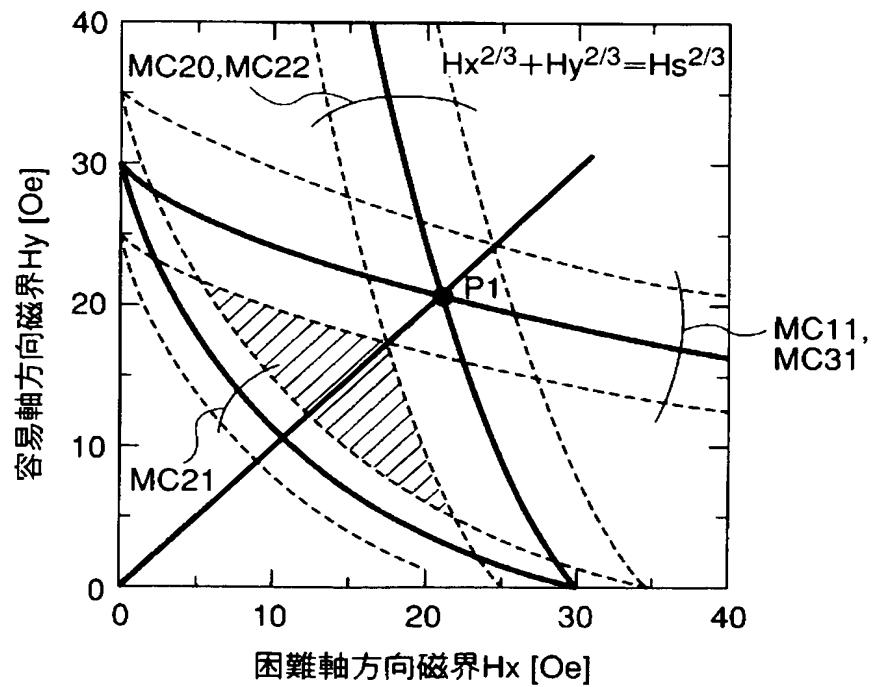




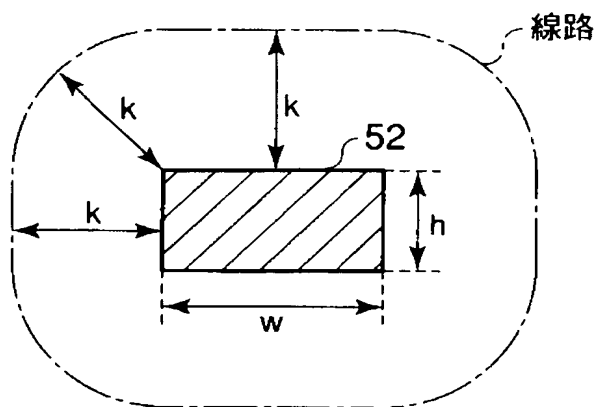
【図 1 1】



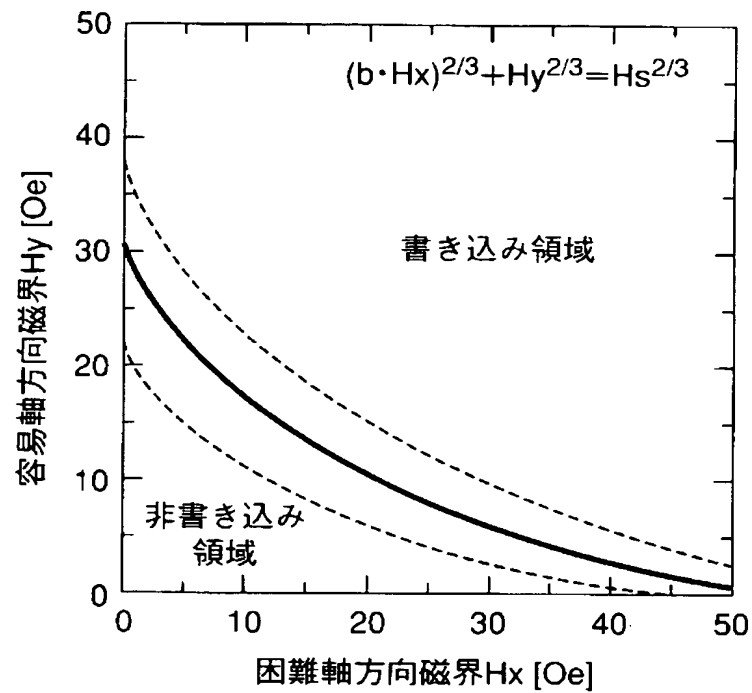
【図 1 2】



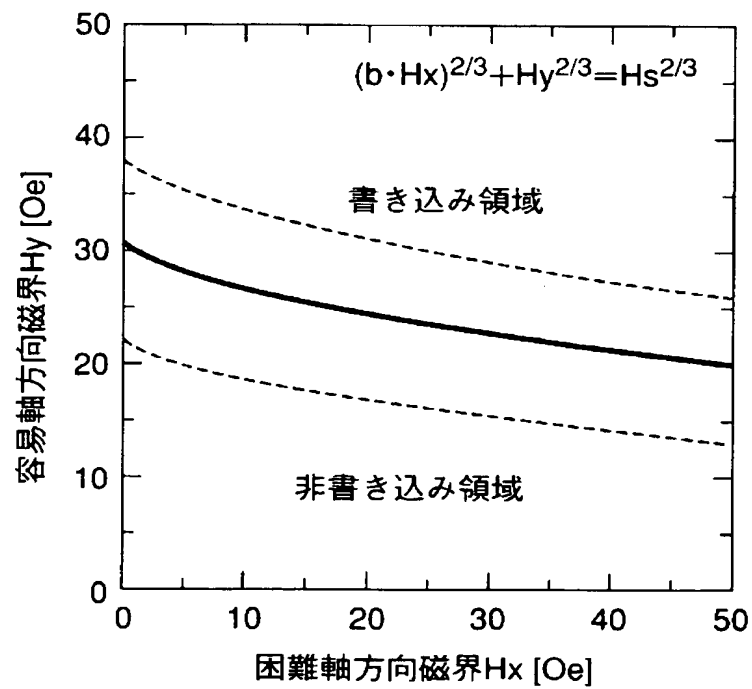
【図 13】



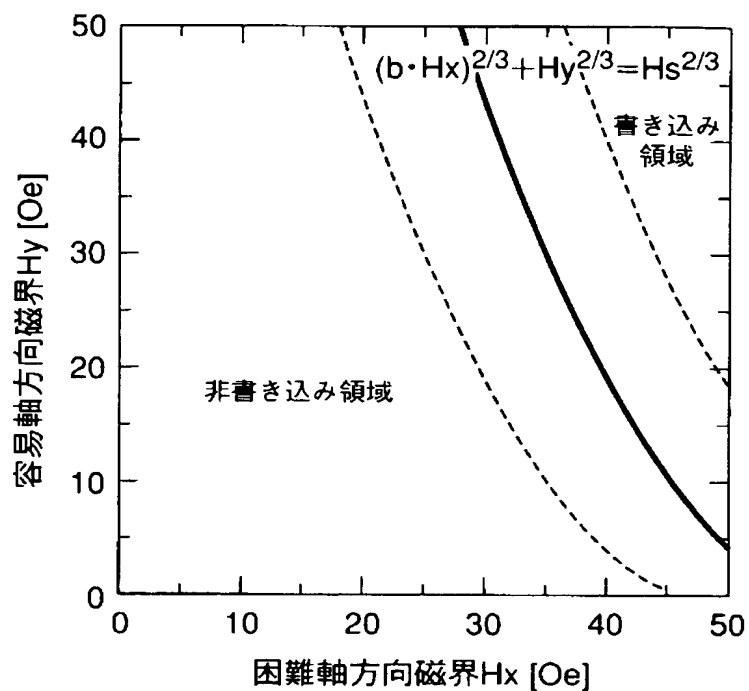
【図 14】



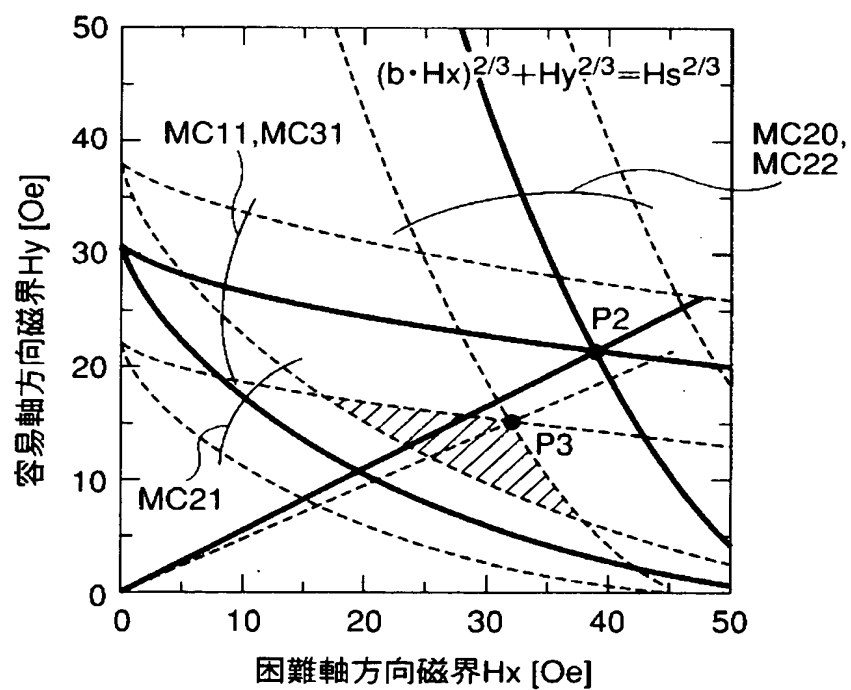
【図 15】



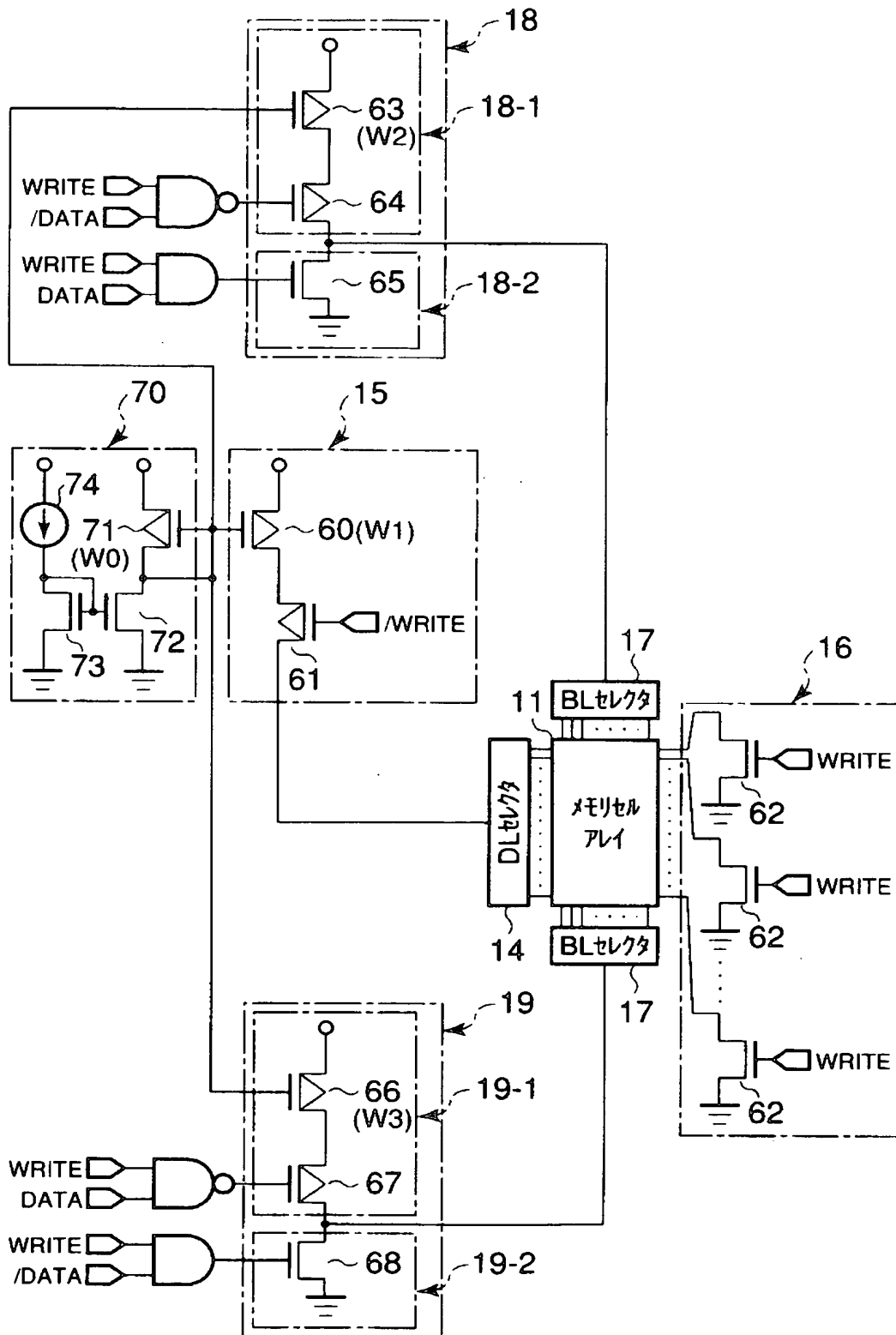
【図 16】



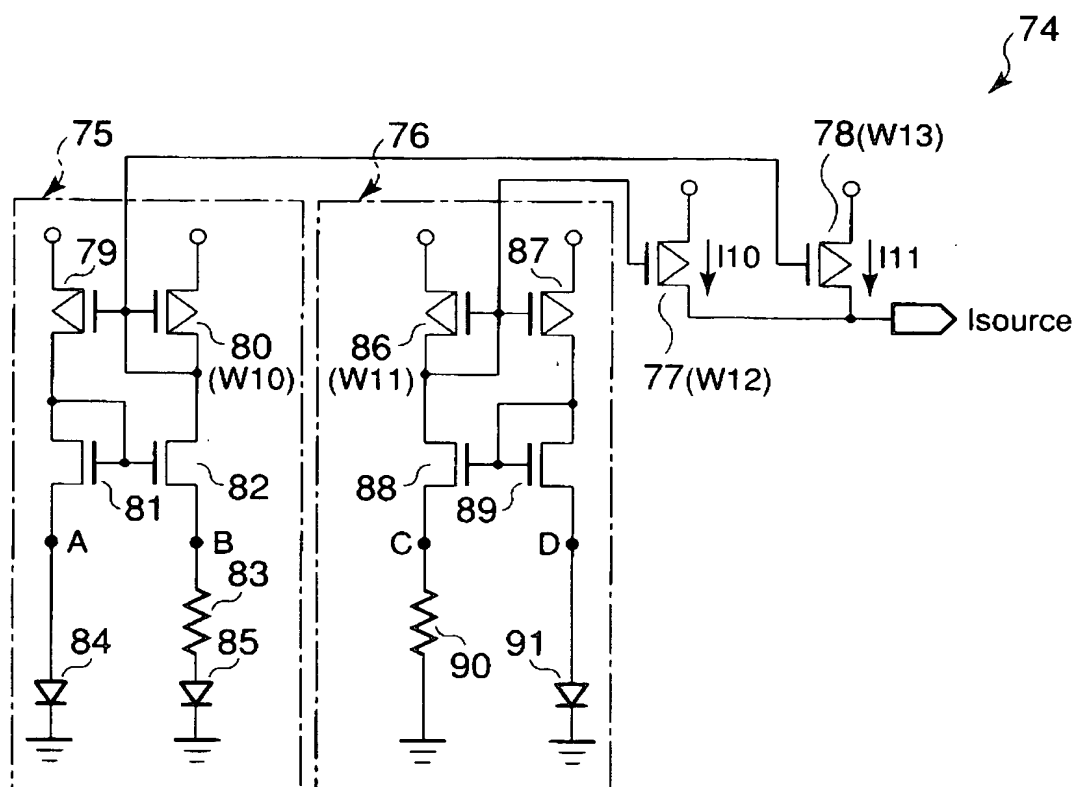
【図 17】



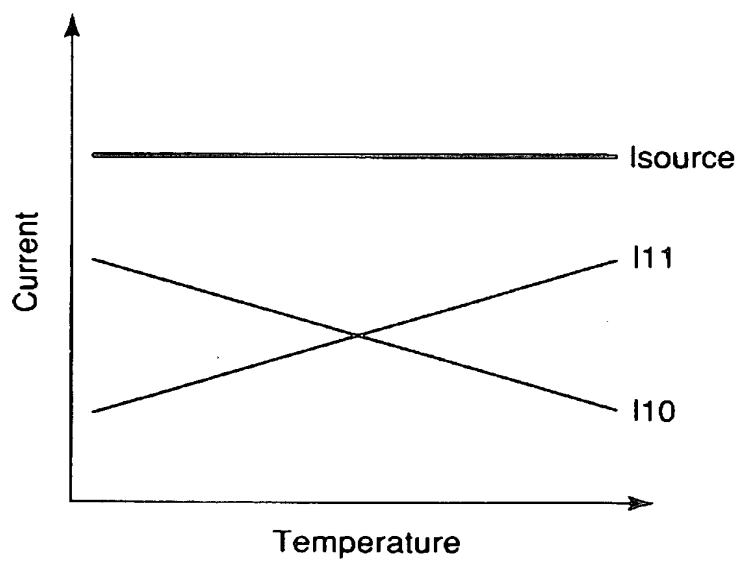
【図 18】



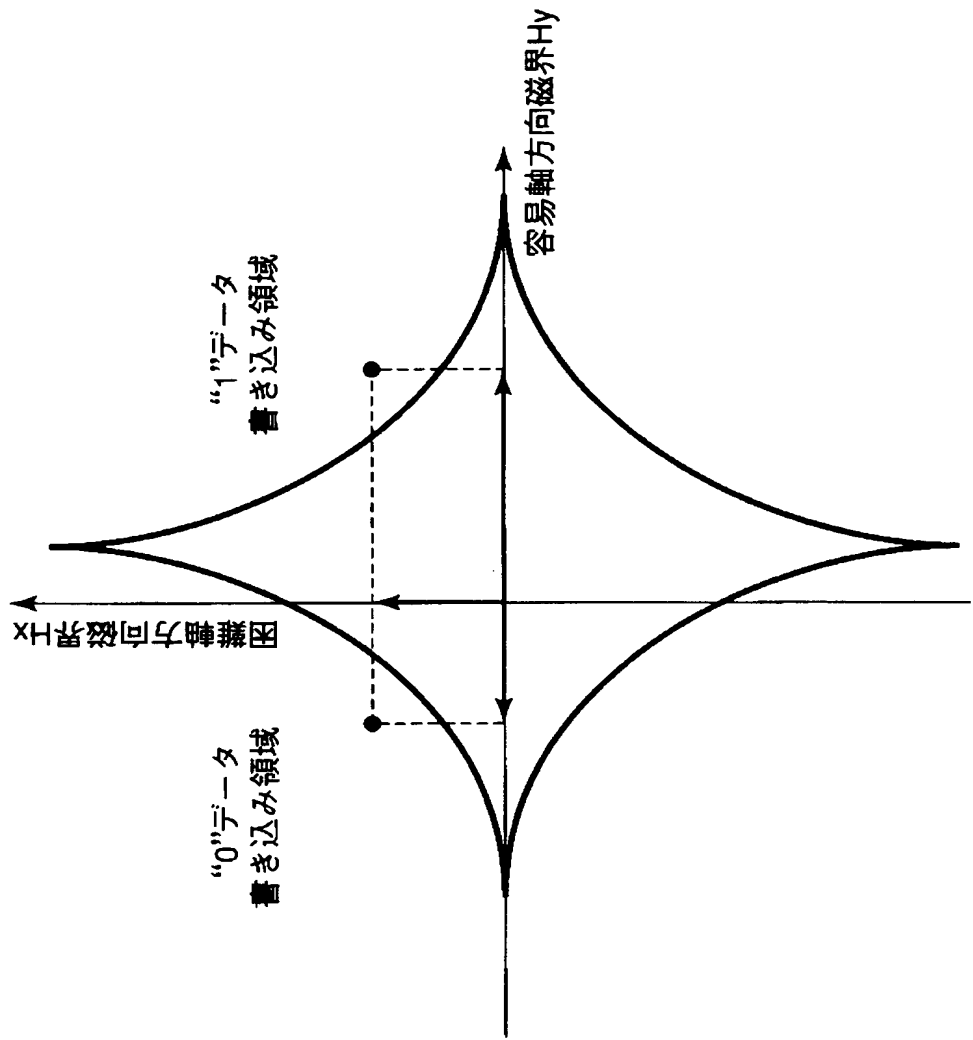
【図 19】



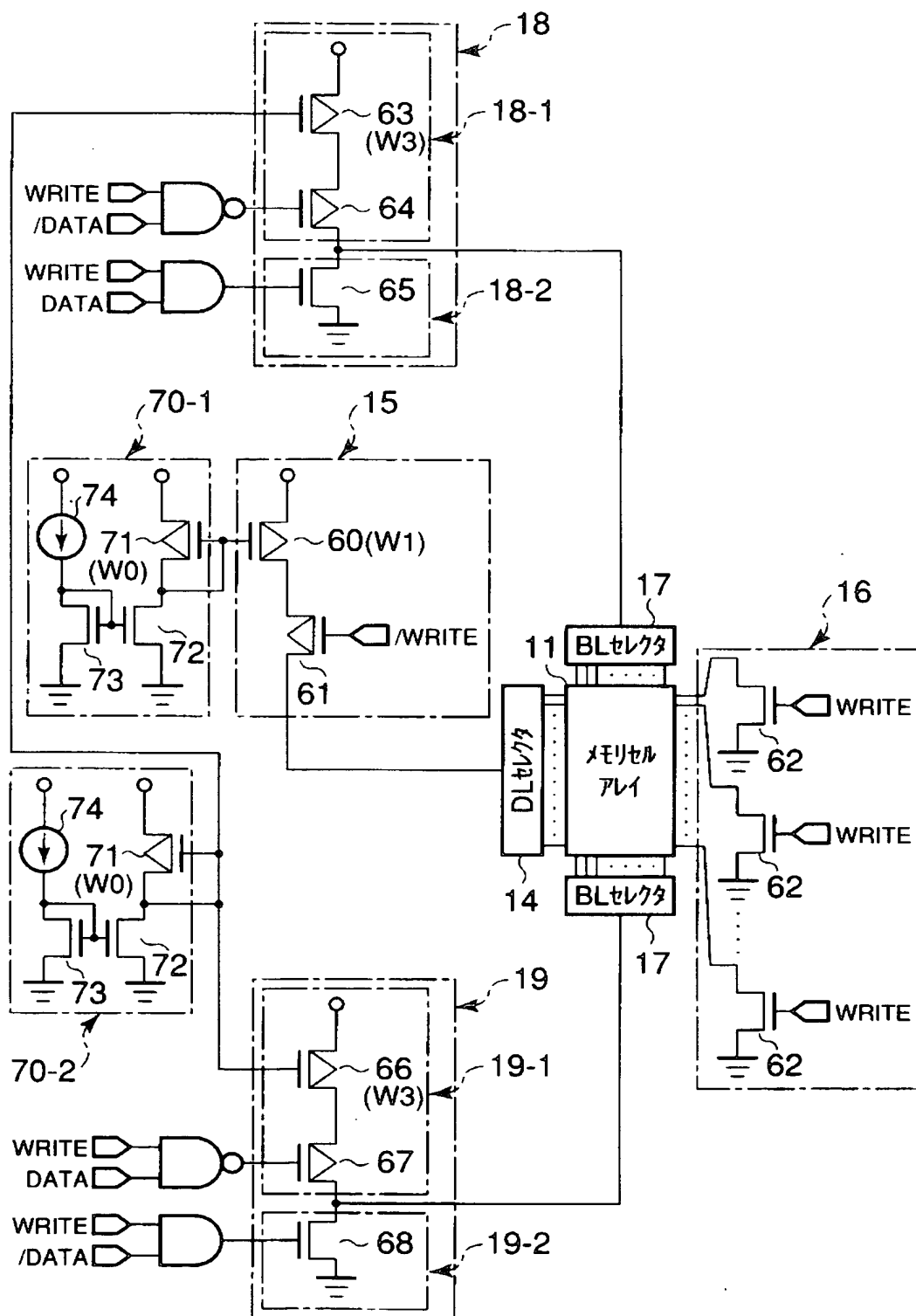
【図 20】



【図 21】

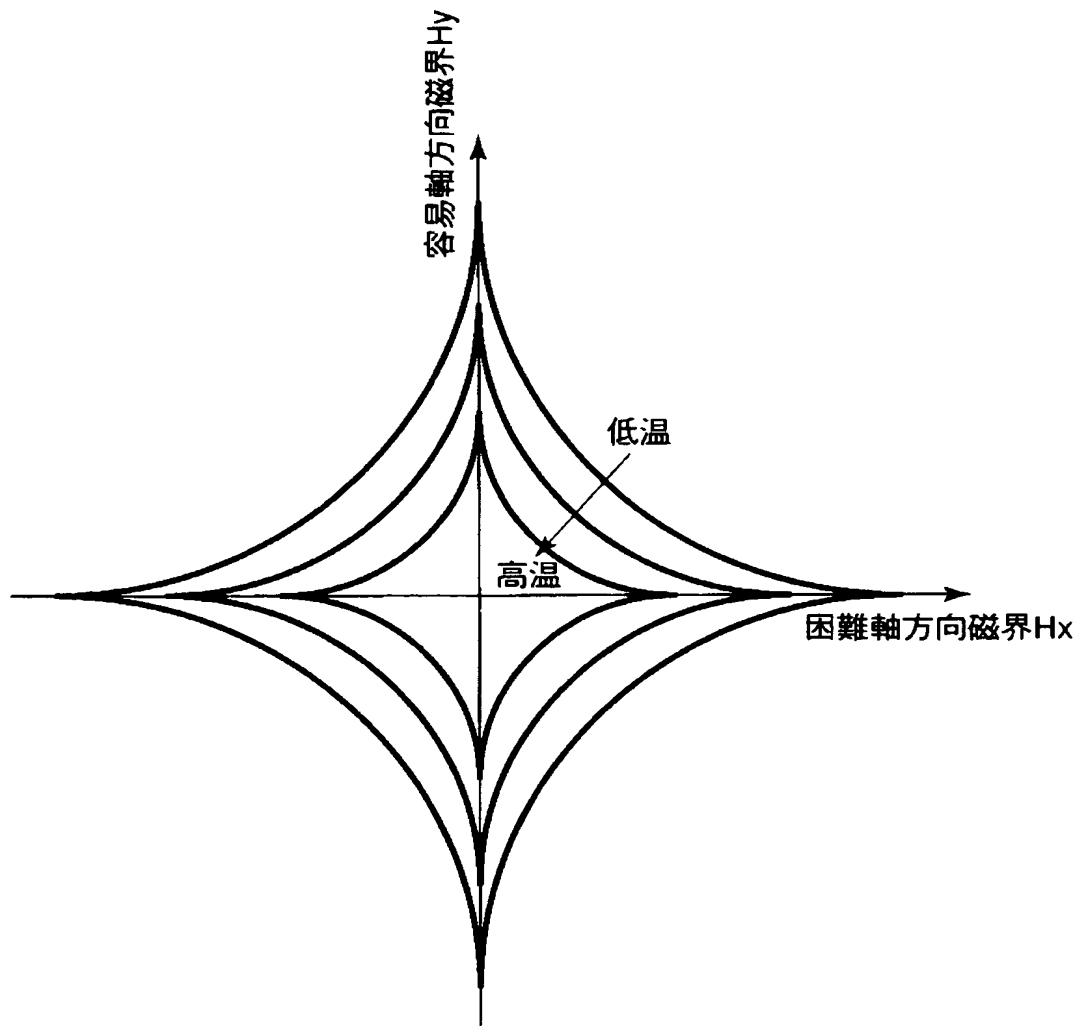


【図 22】

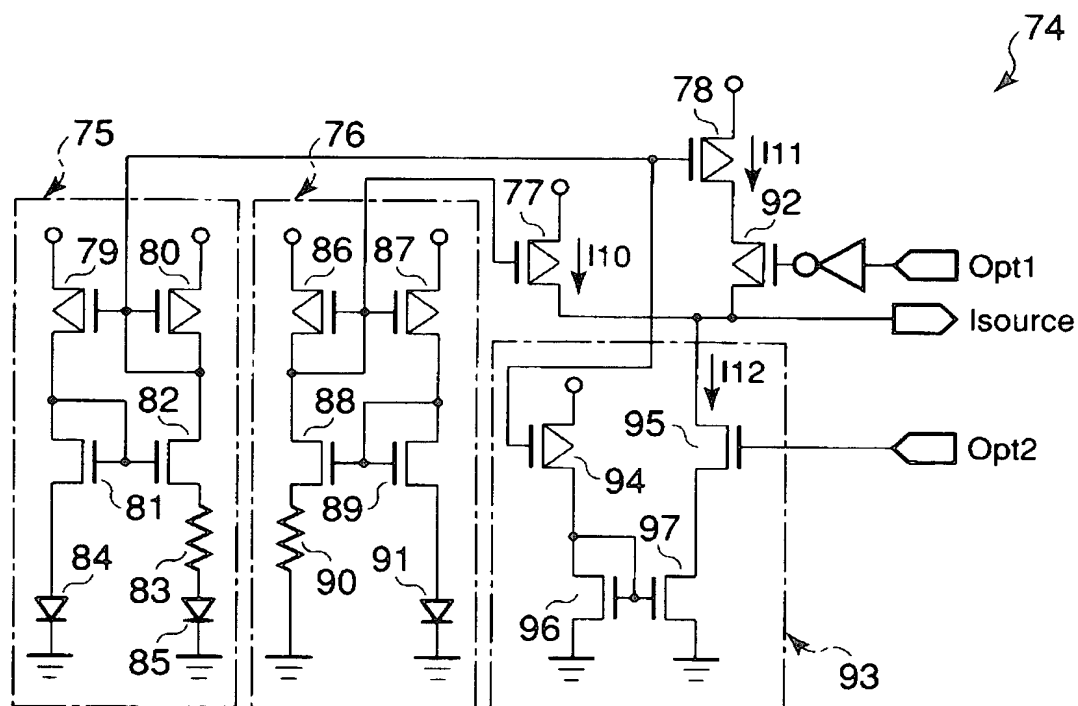




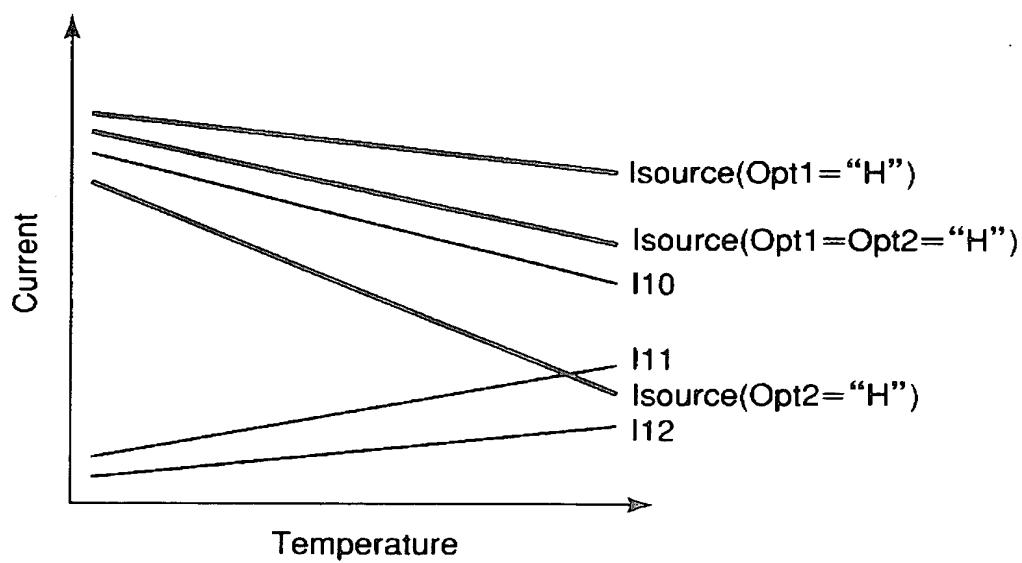
【図 23】



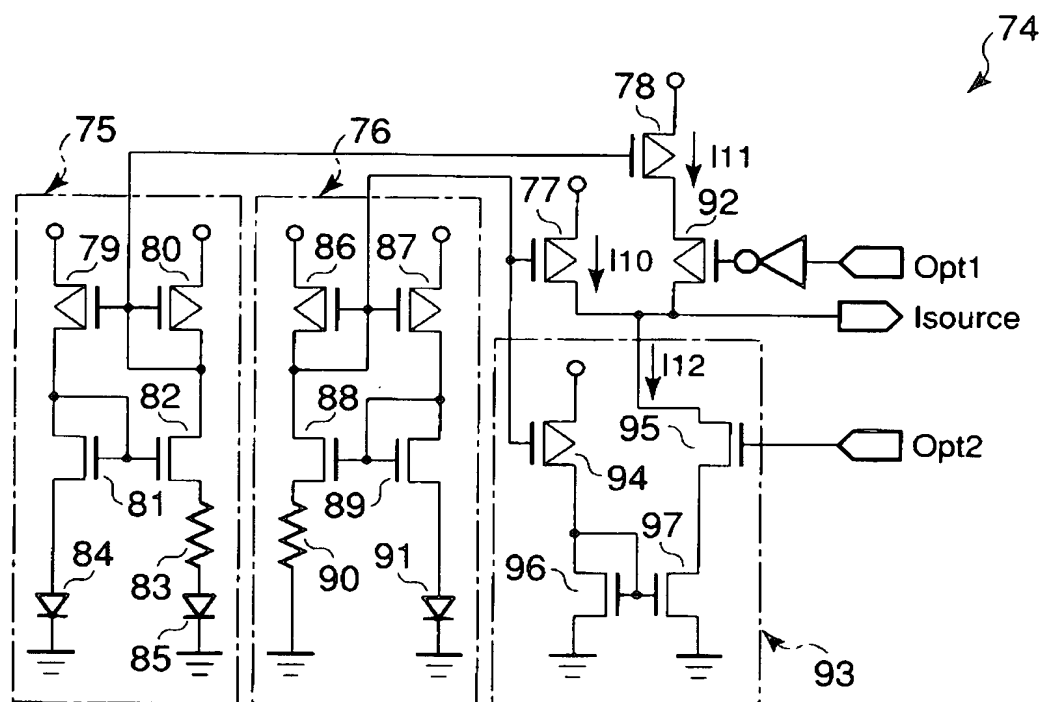
【図 24】



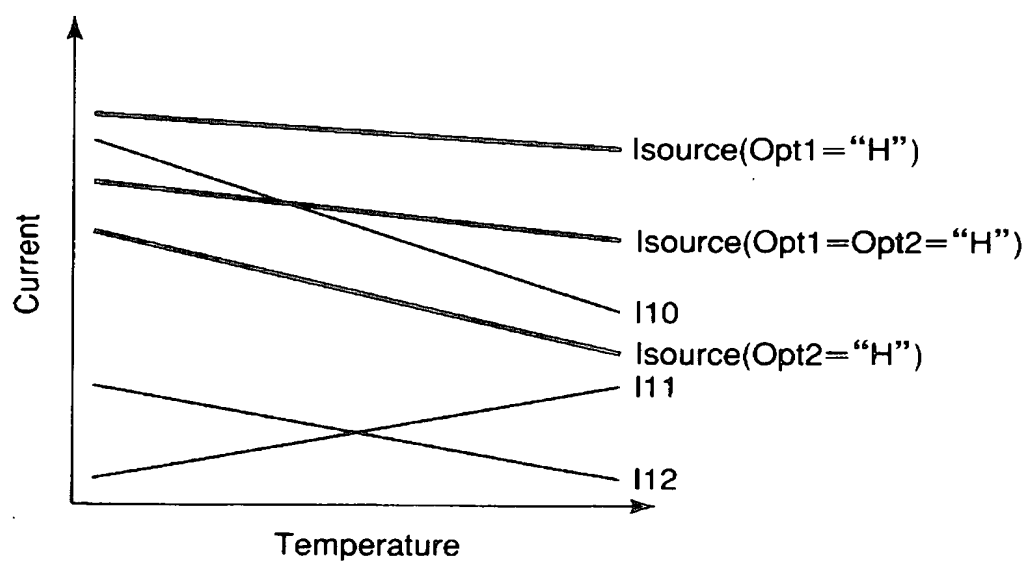
【図 25】



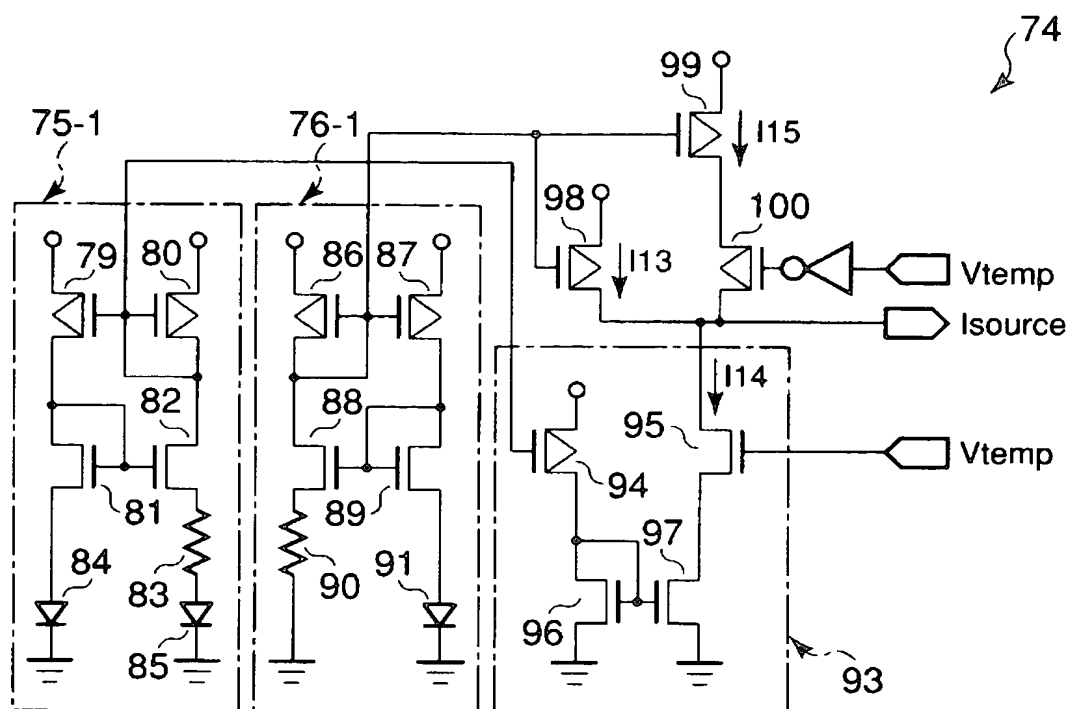
【図 26】



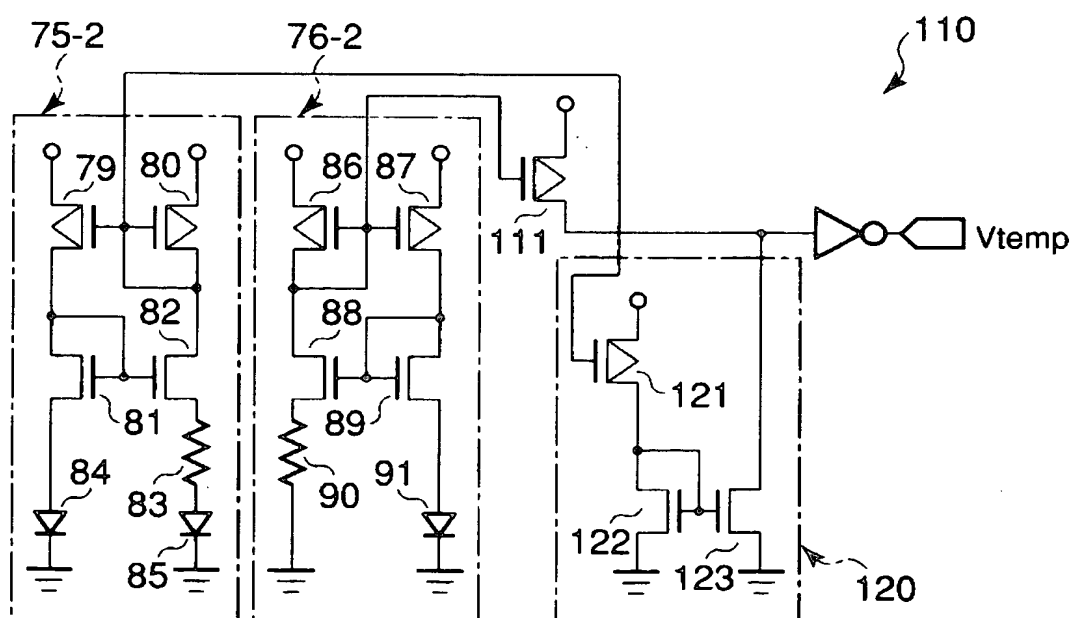
【図 27】



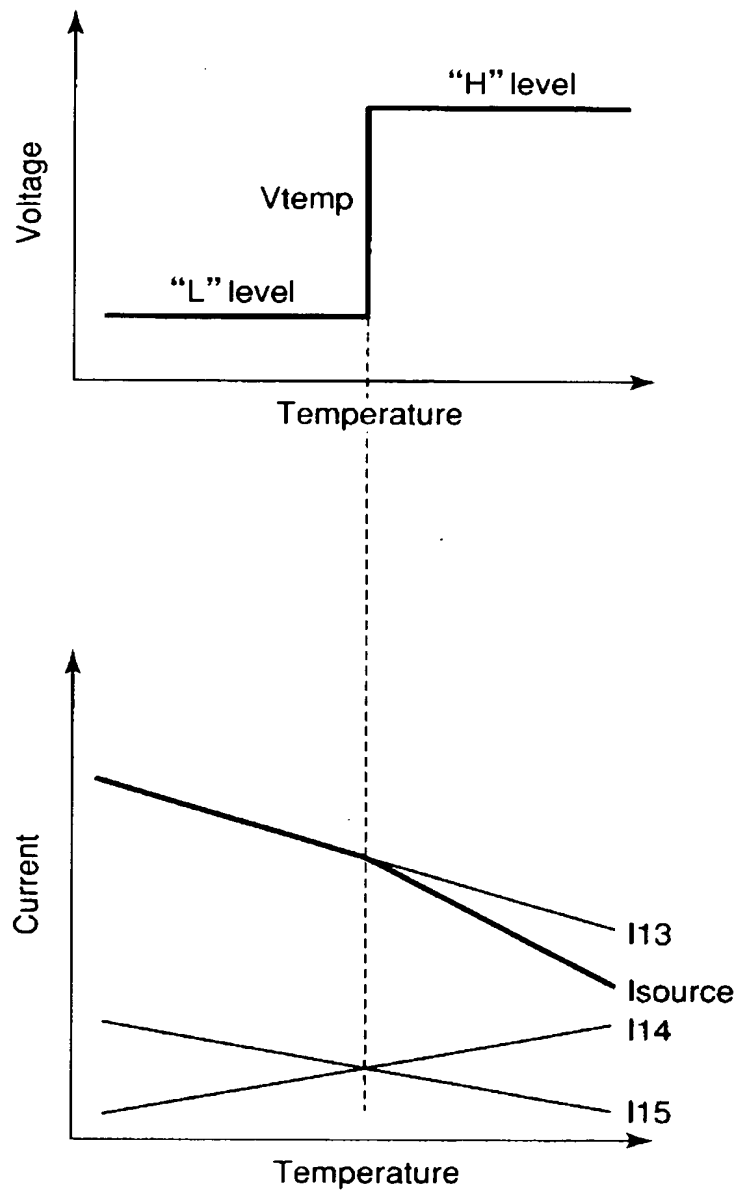
【図 28】



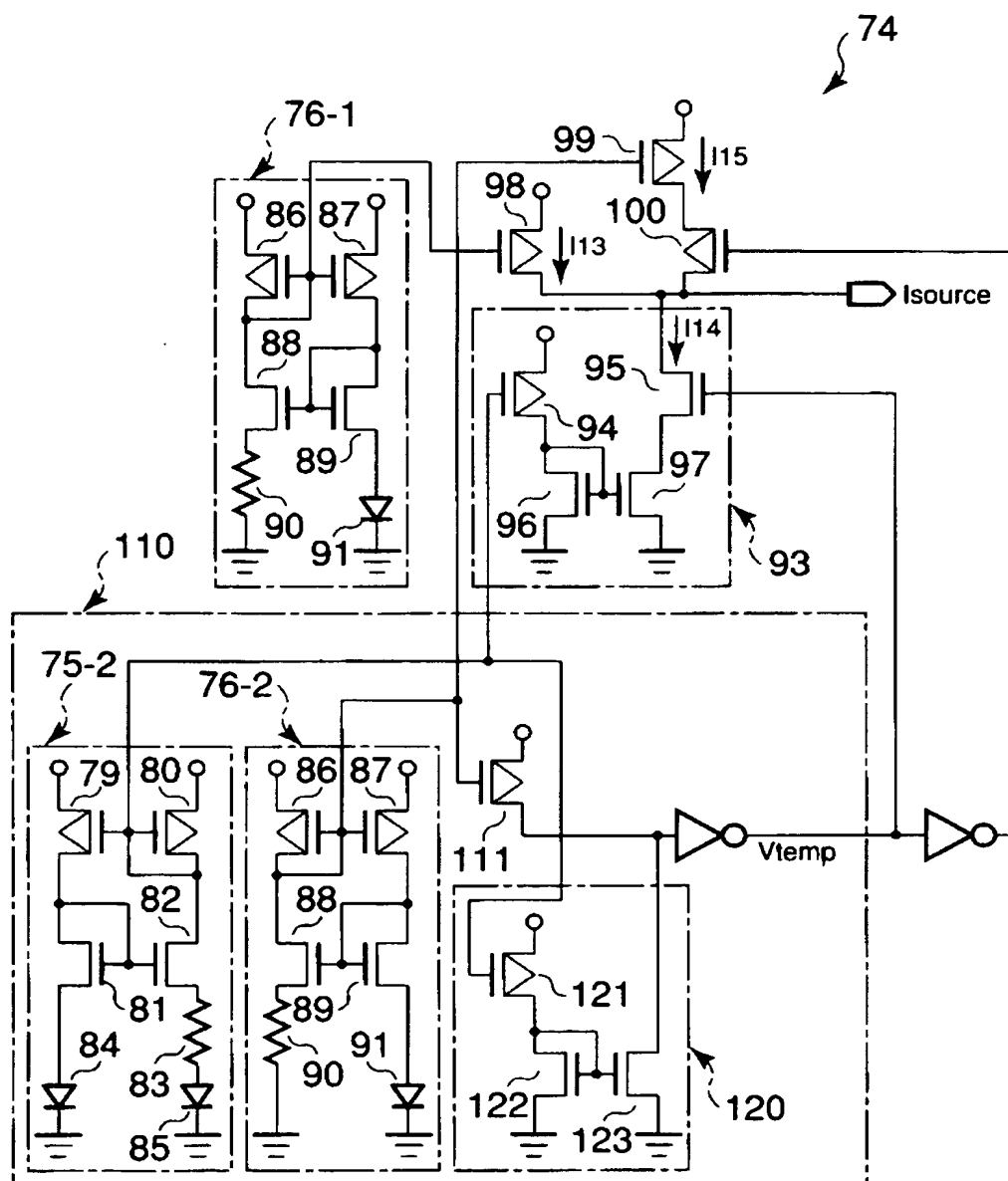
【図 29】



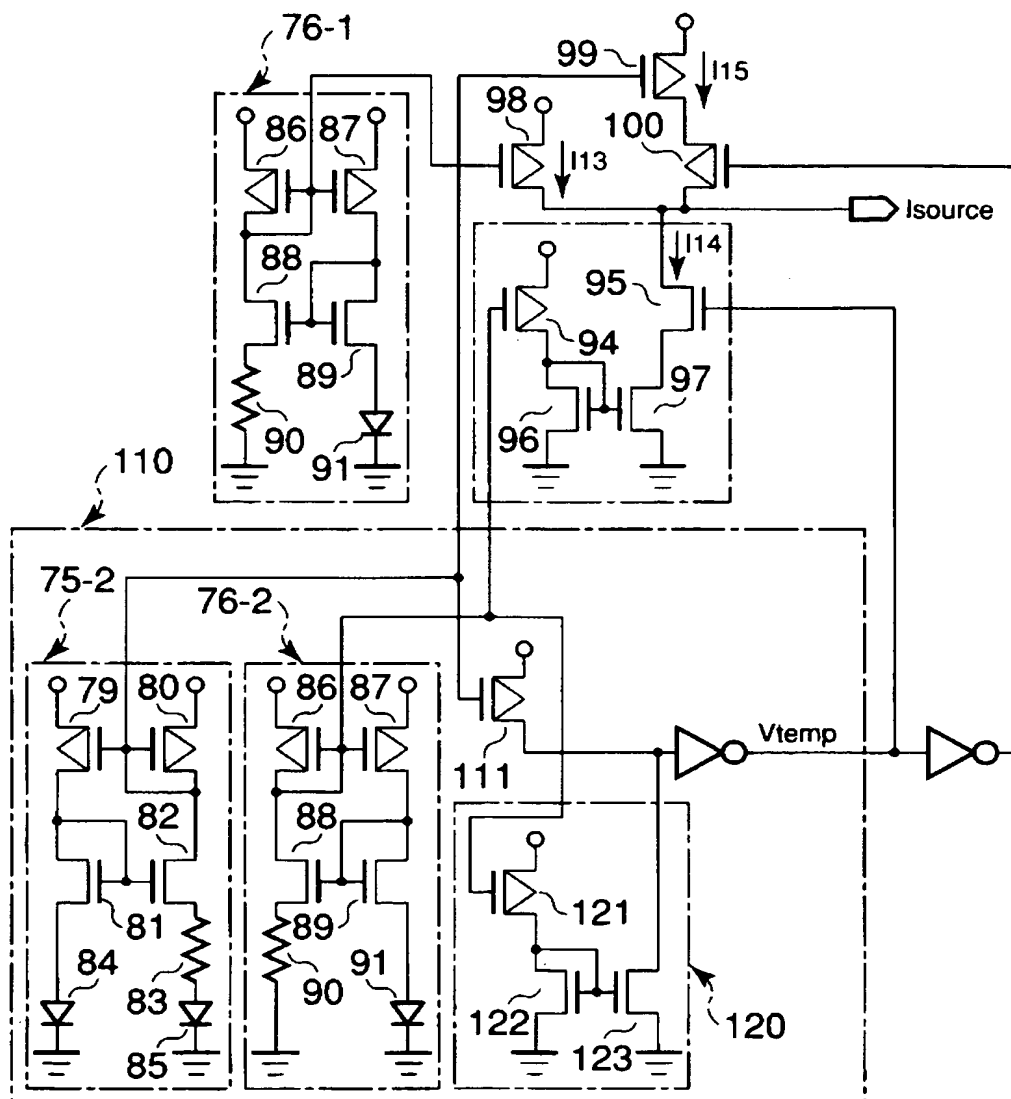
【図 30】



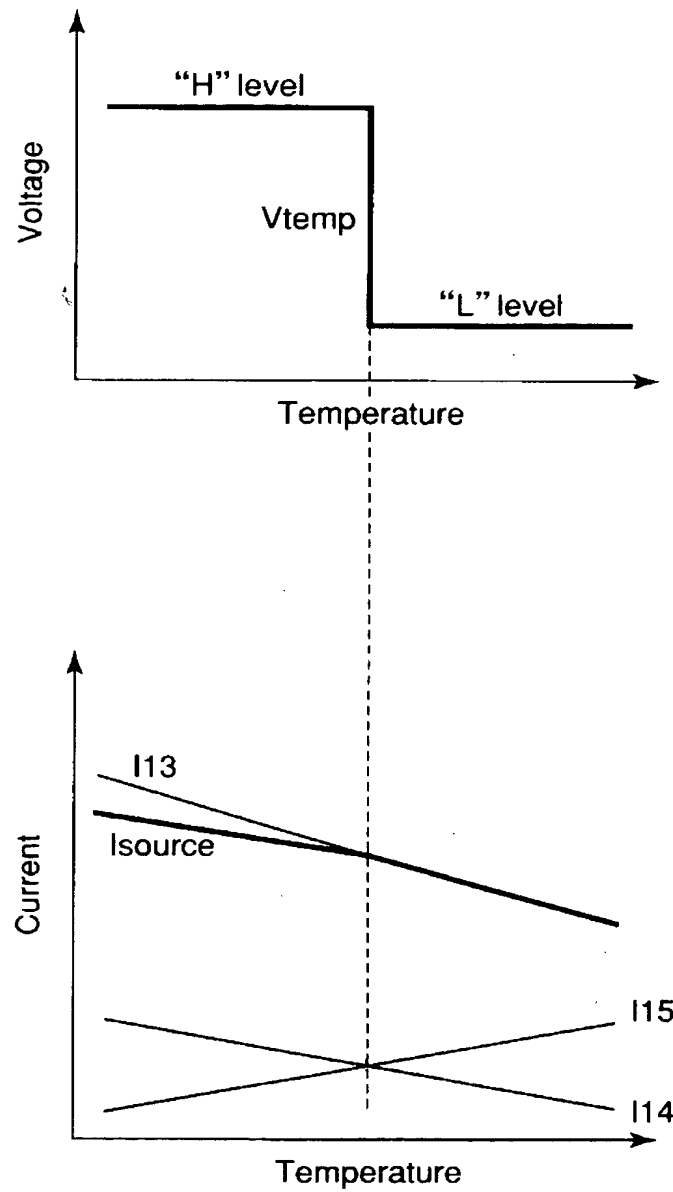
【図 31】



【図 3 2】

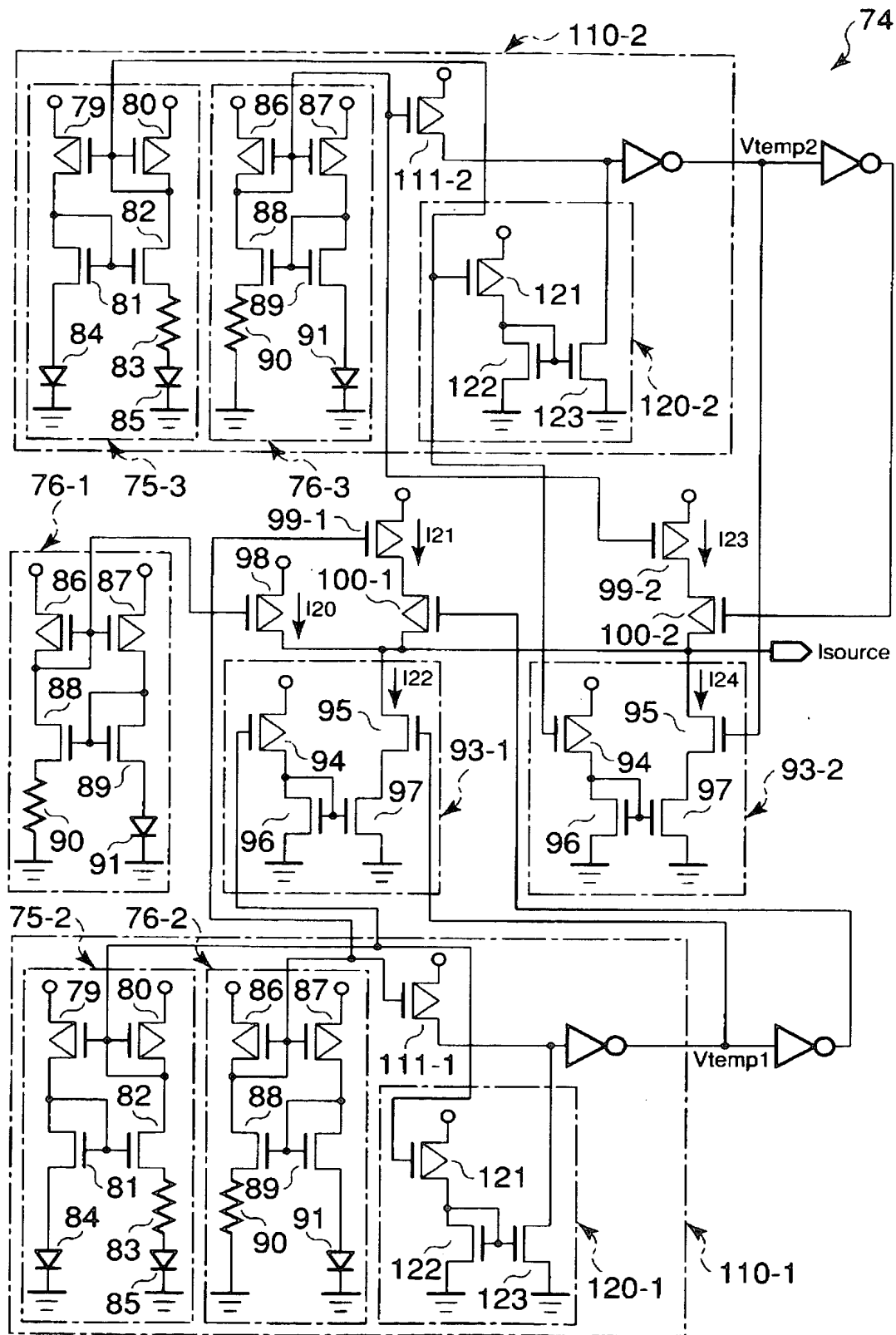


【図 33】

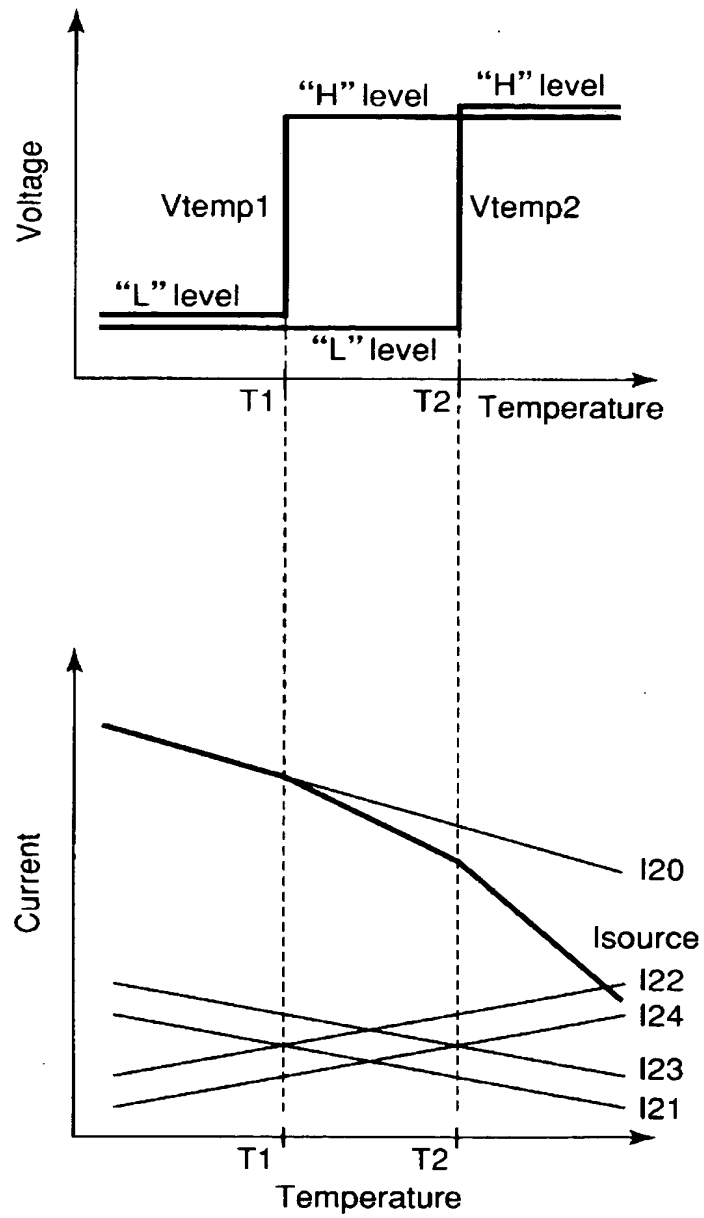




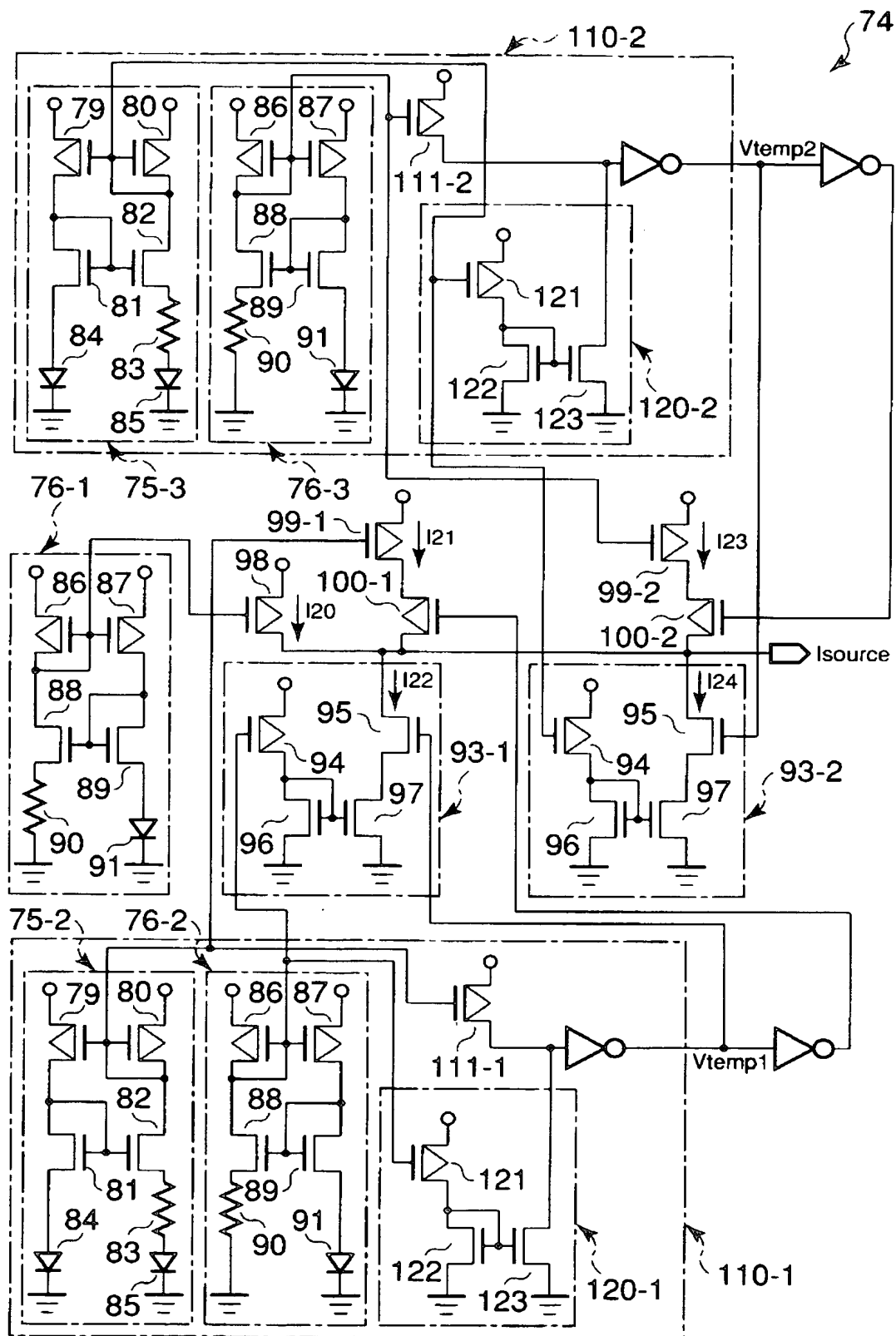
【図 34】



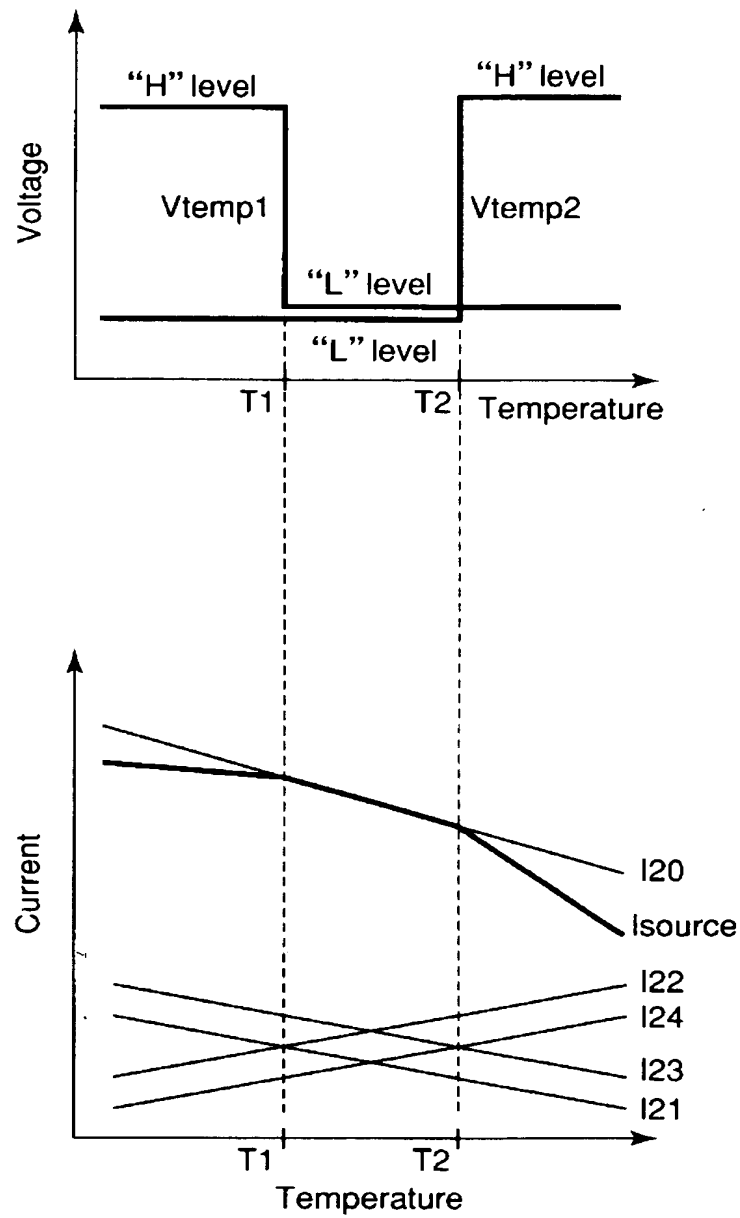
【図 35】



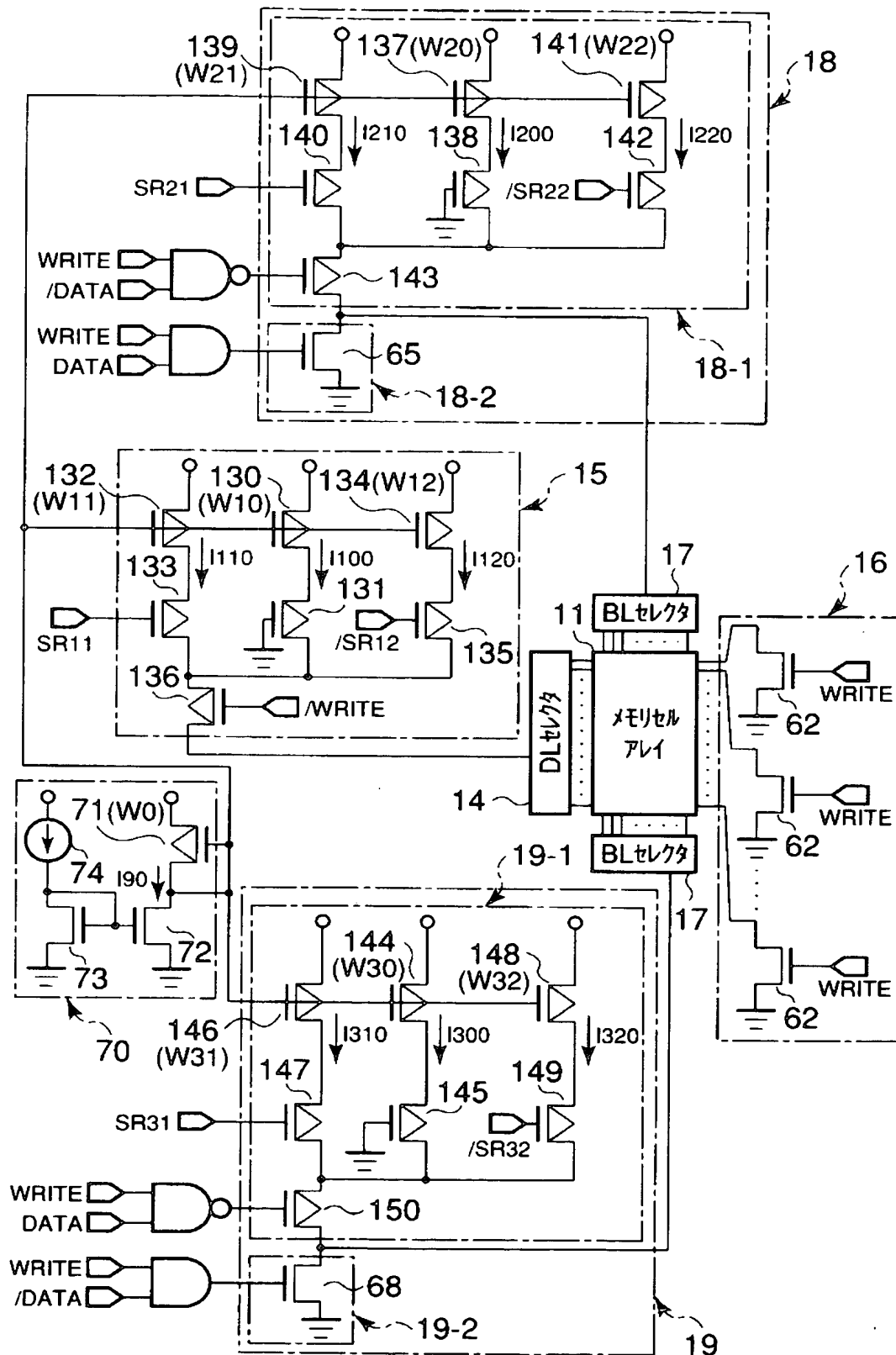
【図 36】



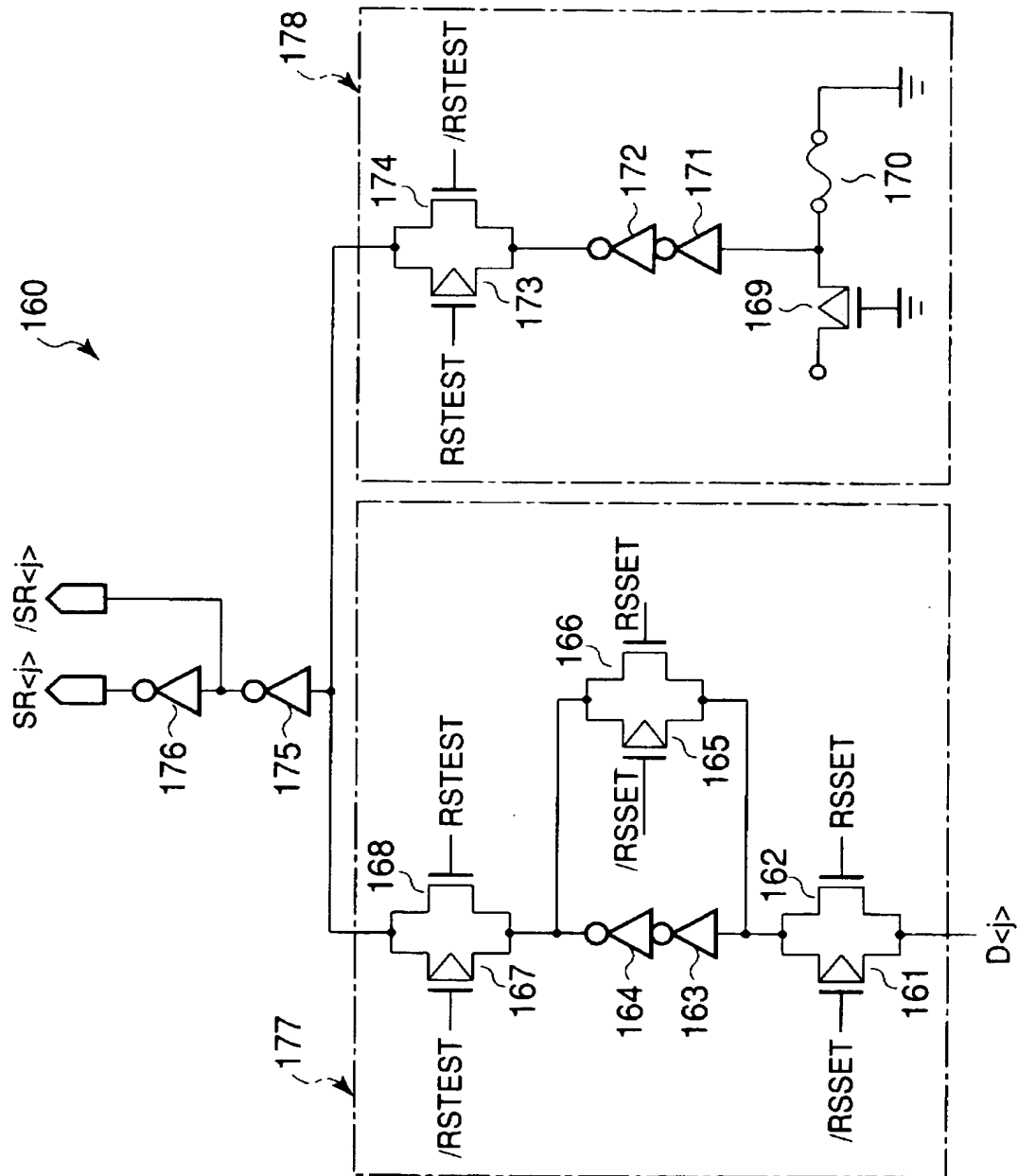
【図 37】



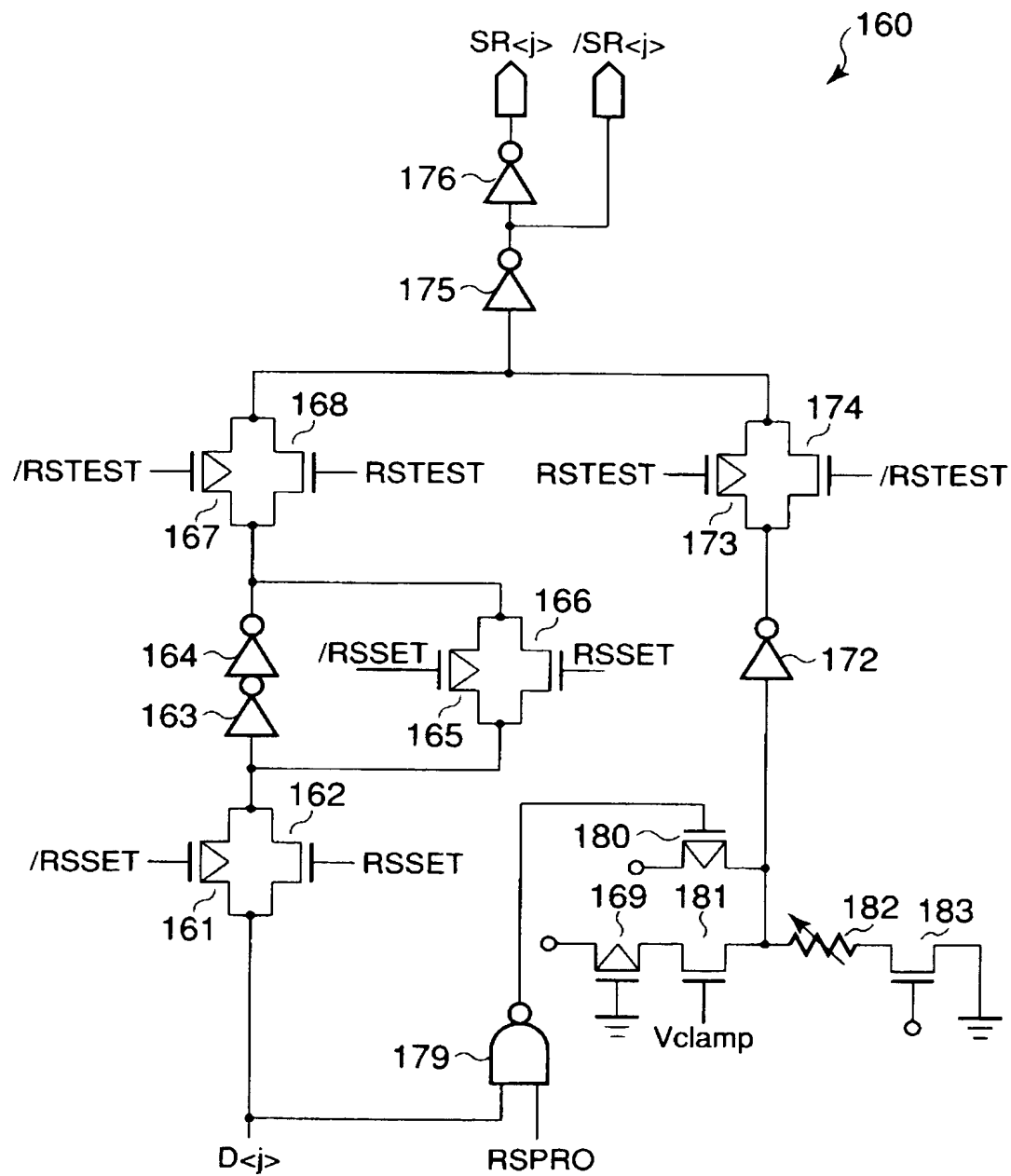
【図 38】



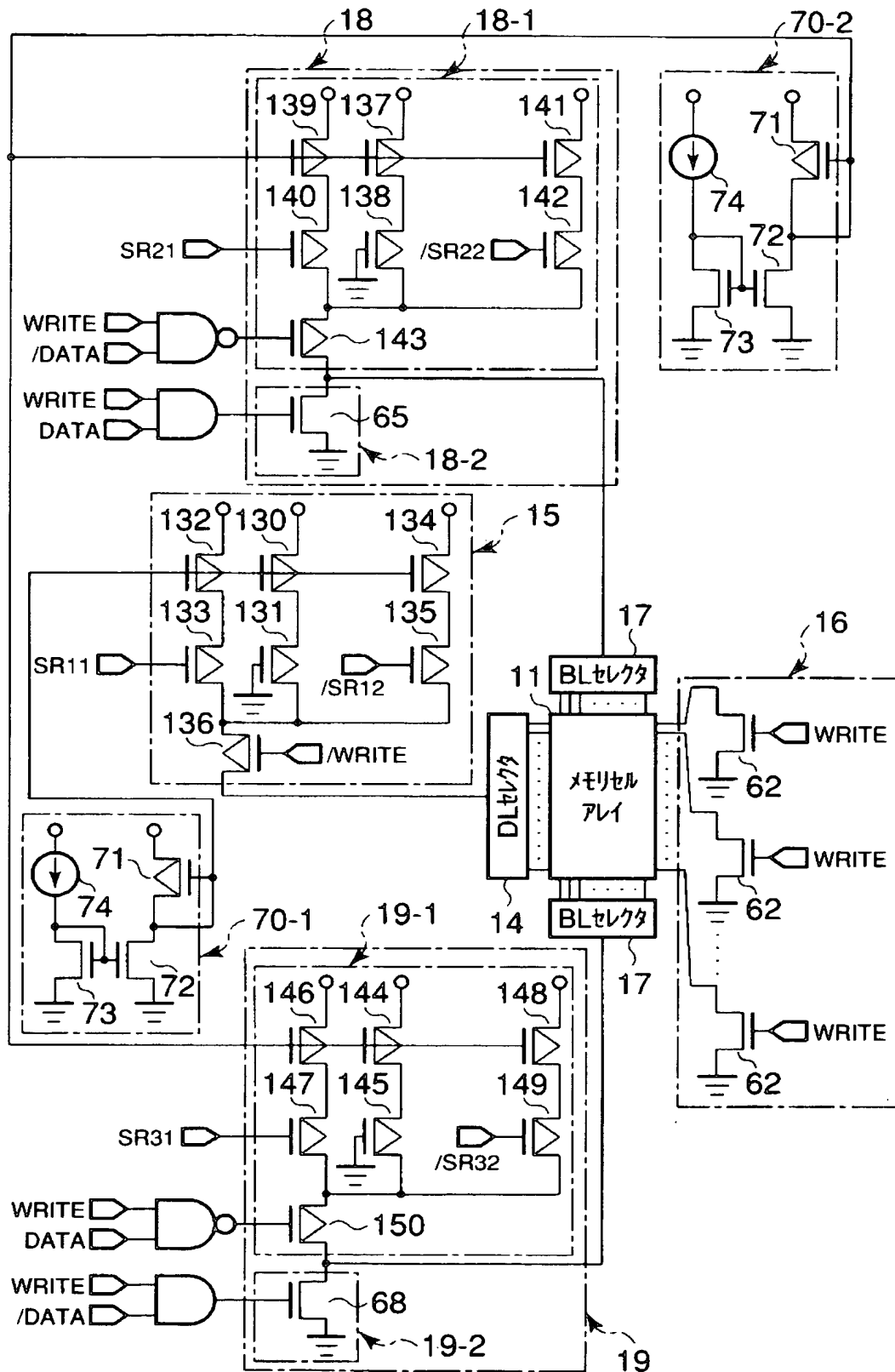
【図 39】



【図 40】

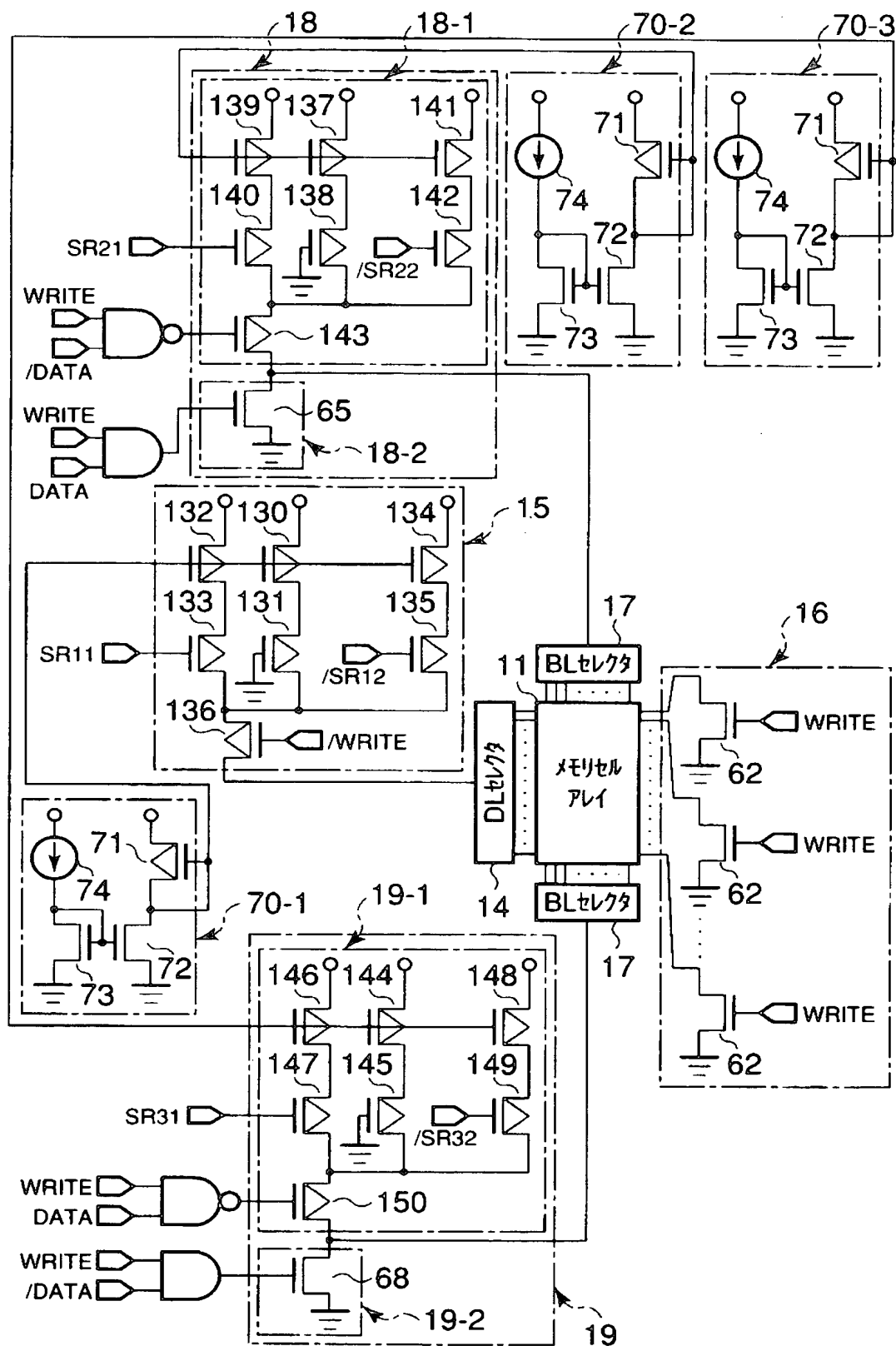


【図 41】

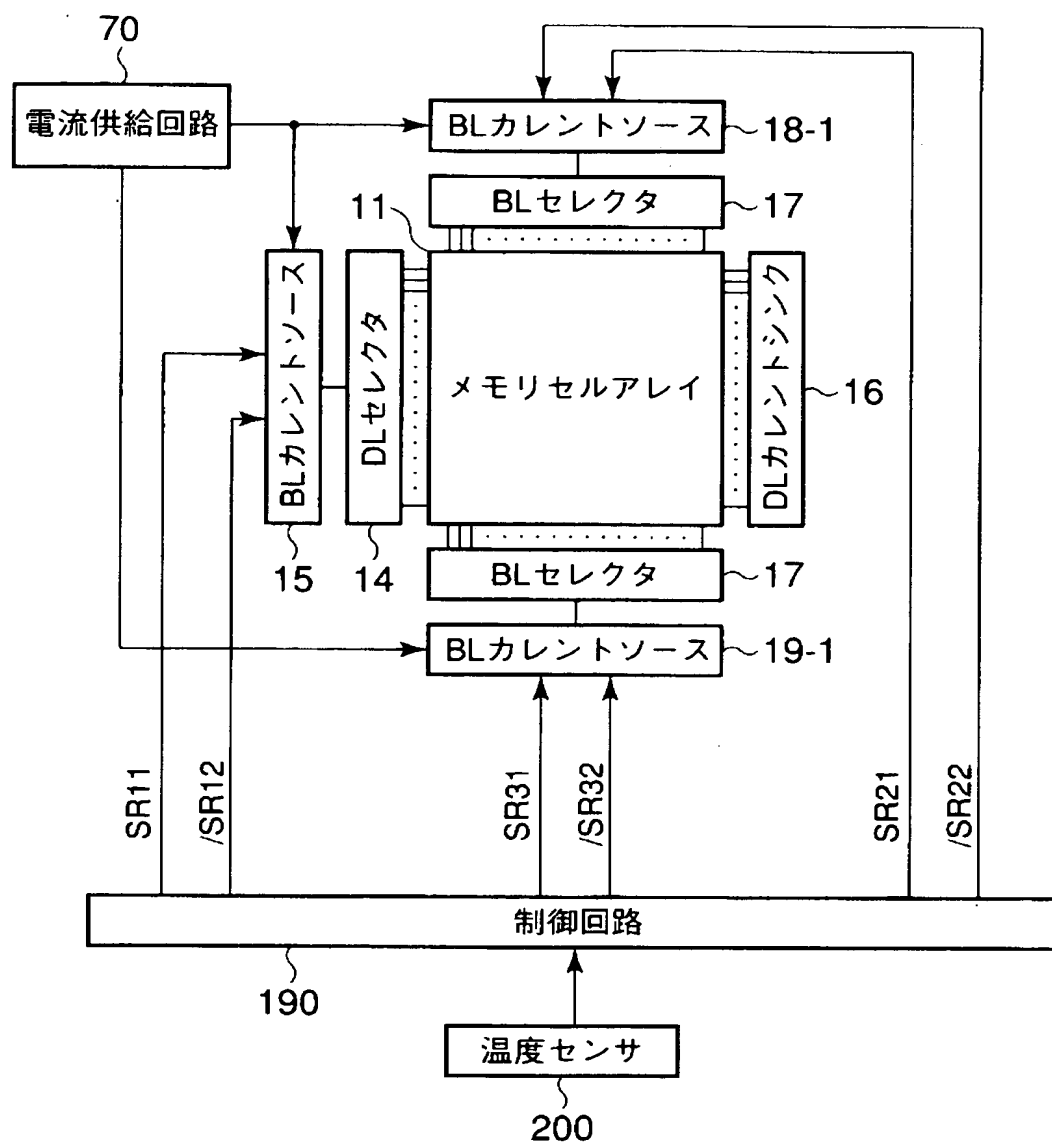




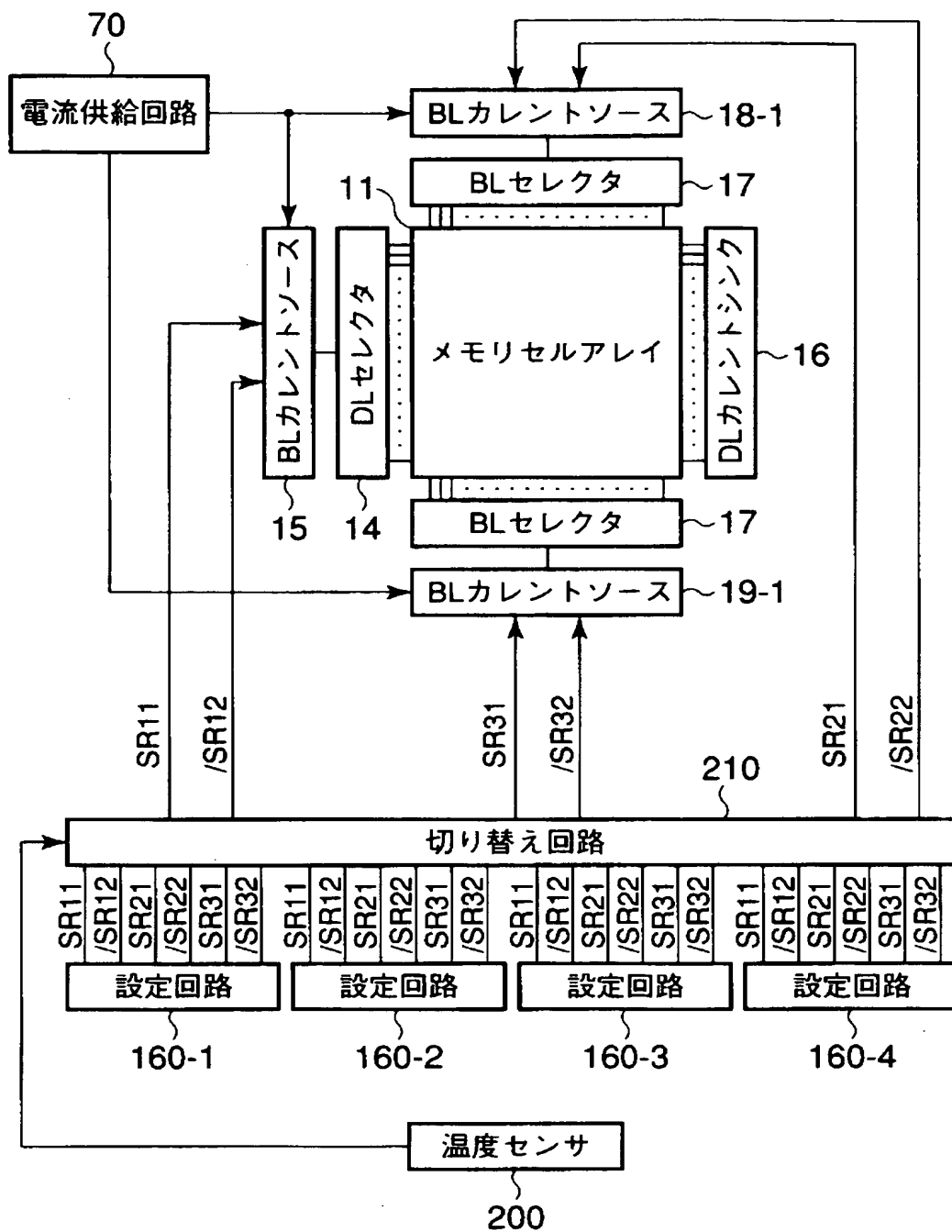
【図 4 2】



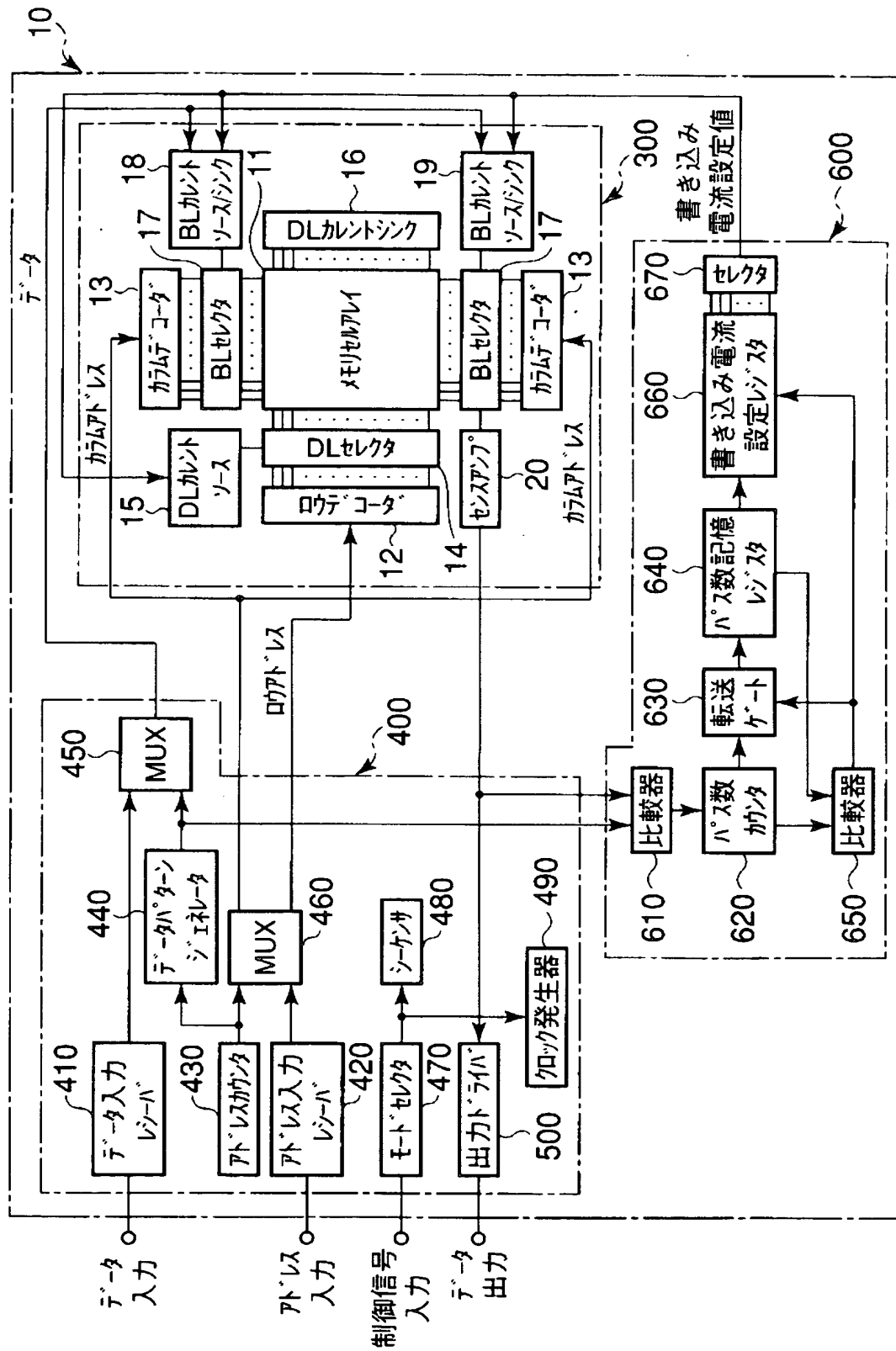
【図 4 3】



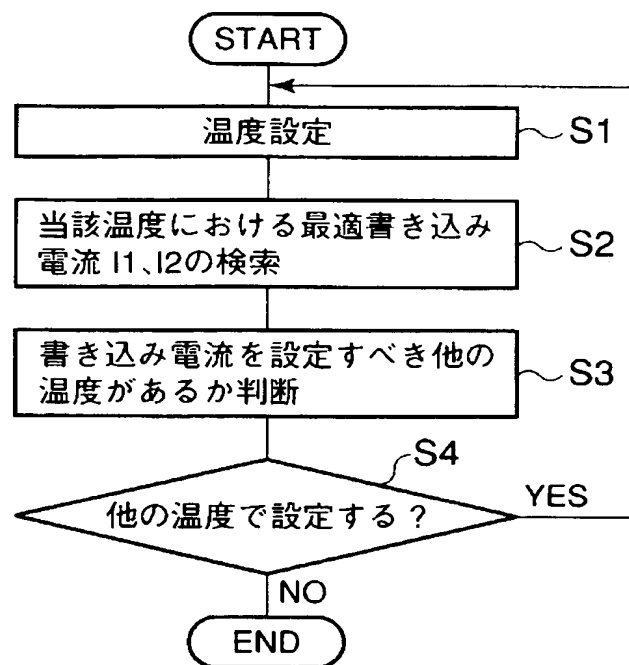
【図 4 4】



【図 4 5】



【図 4 6】



【図 4 7】

温度範囲	I1	I2
T1~T2	Iw1	Ib1
T2~T3	Iw2	Ib2
T3~T4	Iw3	Ib3
T4~T5	Iw4	Ib4

【図 4 8】

温度範囲	l1	l2(“0” data)	l2(“1” data)
T1～T2	lw1	lb10	lb11
T2～T3	lw2	lb20	lb21
T3～T4	lw3	lb30	lb31
T4～T5	lw4	lb40	lb41

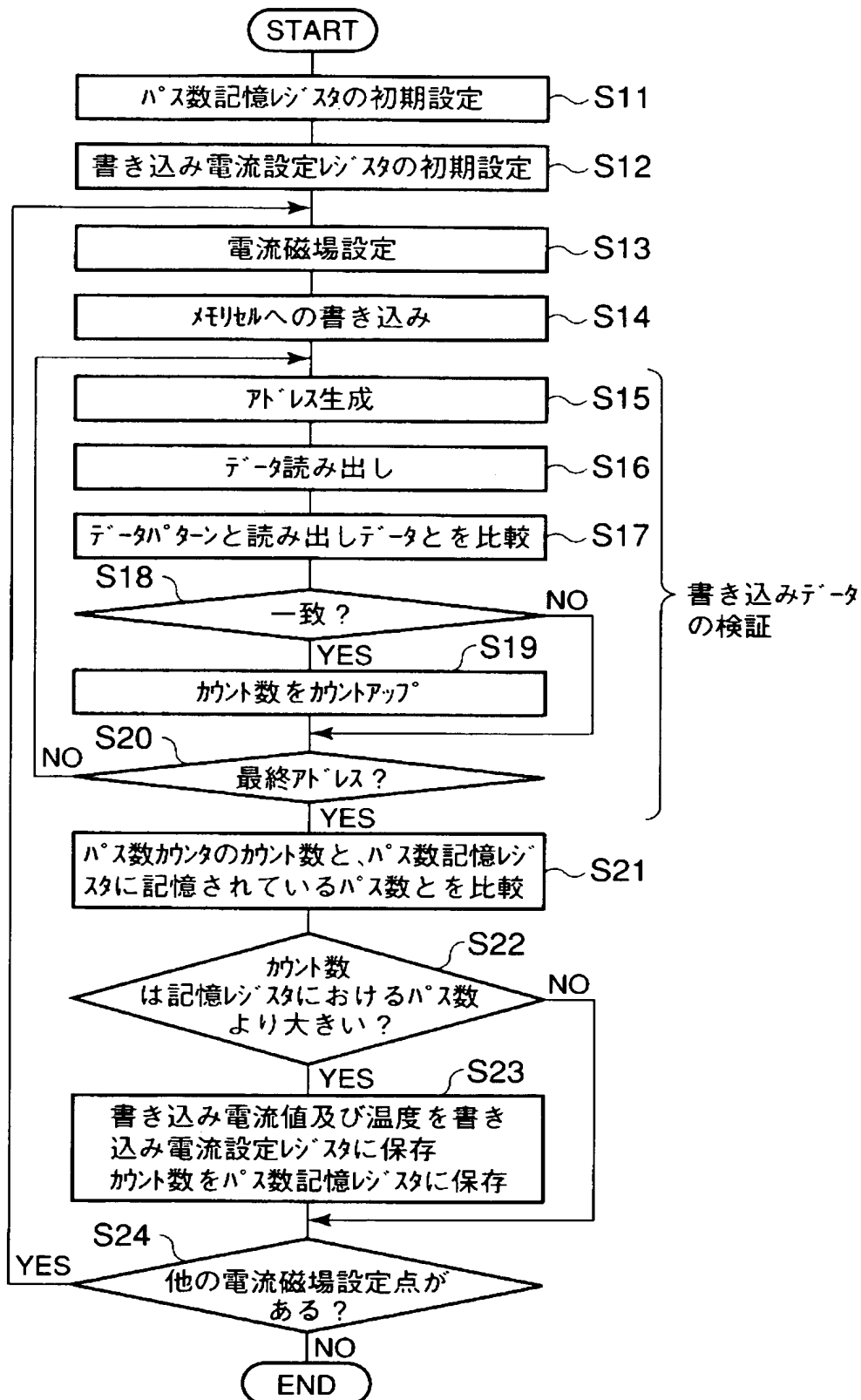
【図 4 9】

温度範囲	l1	l1/l2
T1～T2	lw1	c10
T2～T3	lw2	c20
T3～T4	lw3	c30
T4～T5	lw4	c40

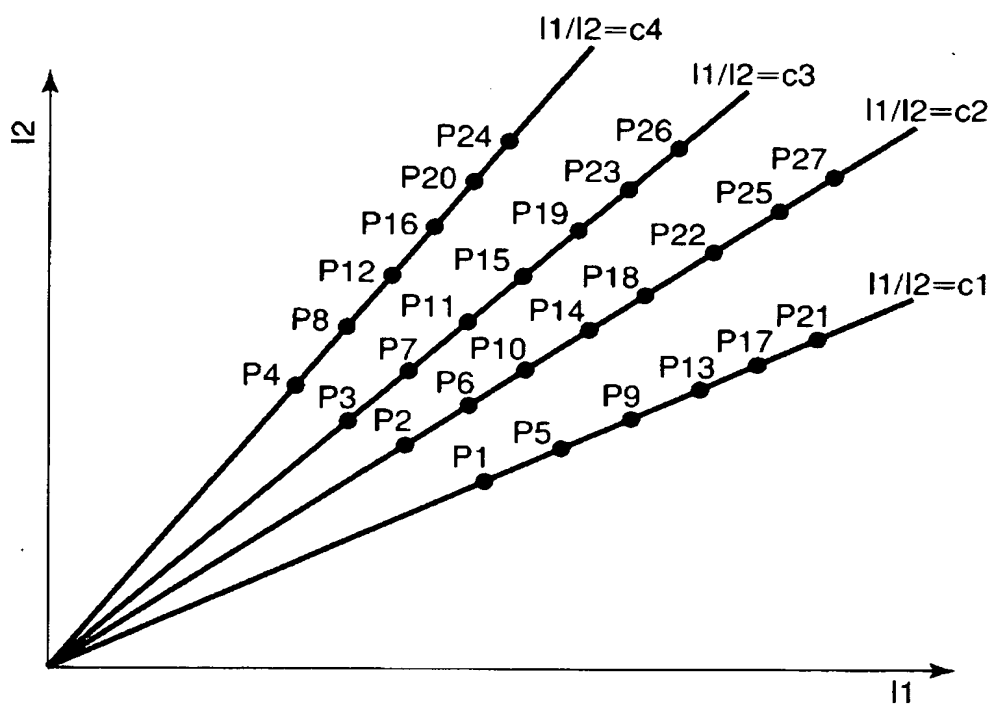
【図 5 0】

温度範囲	l1	l1/l2(“0” data)	l1/l2(“1” data)
T1～T2	lw1	c11	c12
T2～T3	lw2	c21	c22
T3～T4	lw3	c31	c32
T4～T5	lw4	c41	c42

【図 5 1】

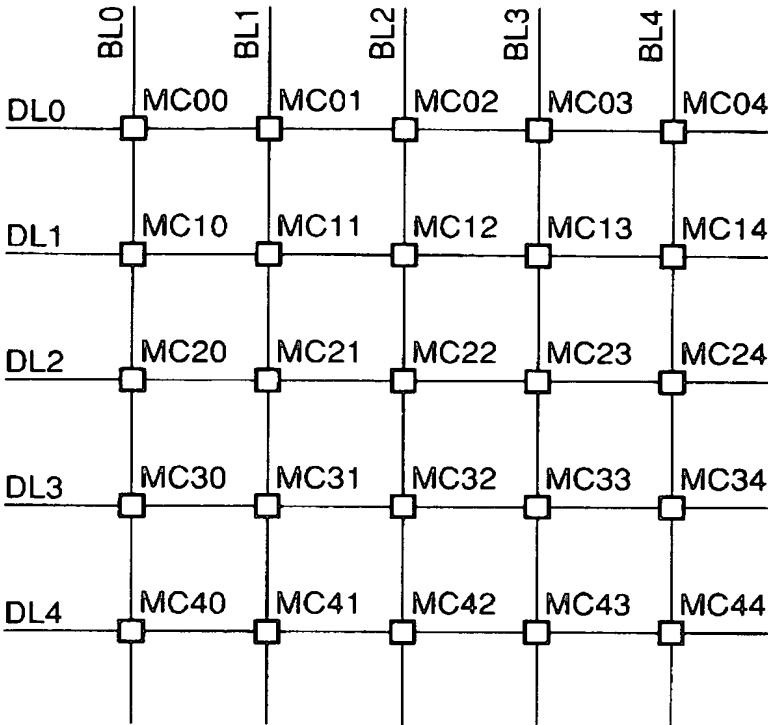


【図 5 2】





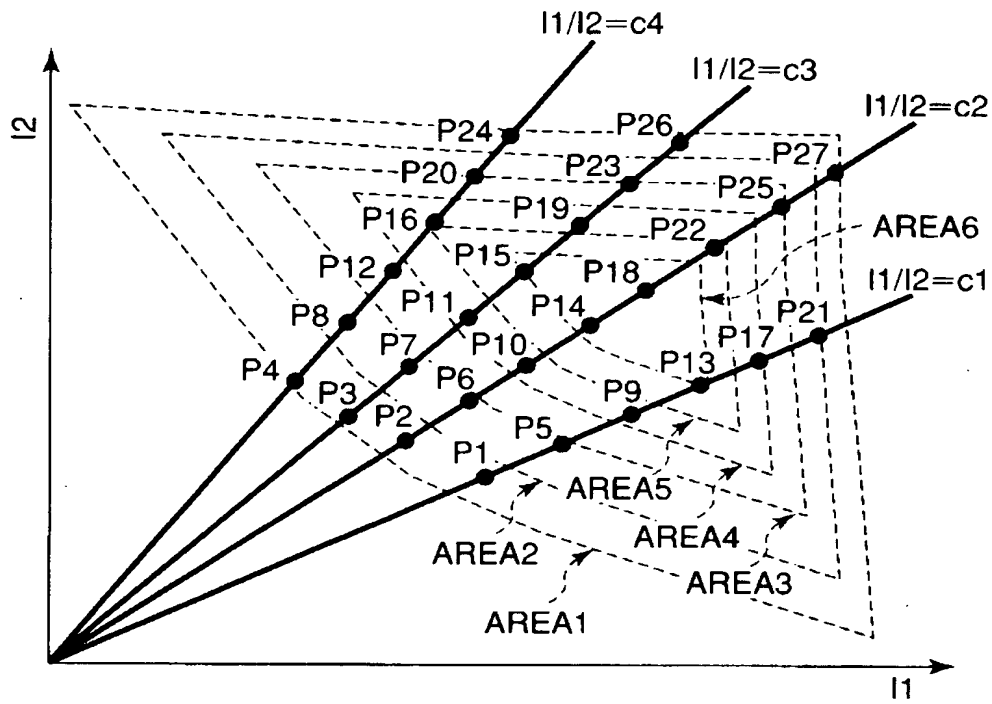
【図 5 3】



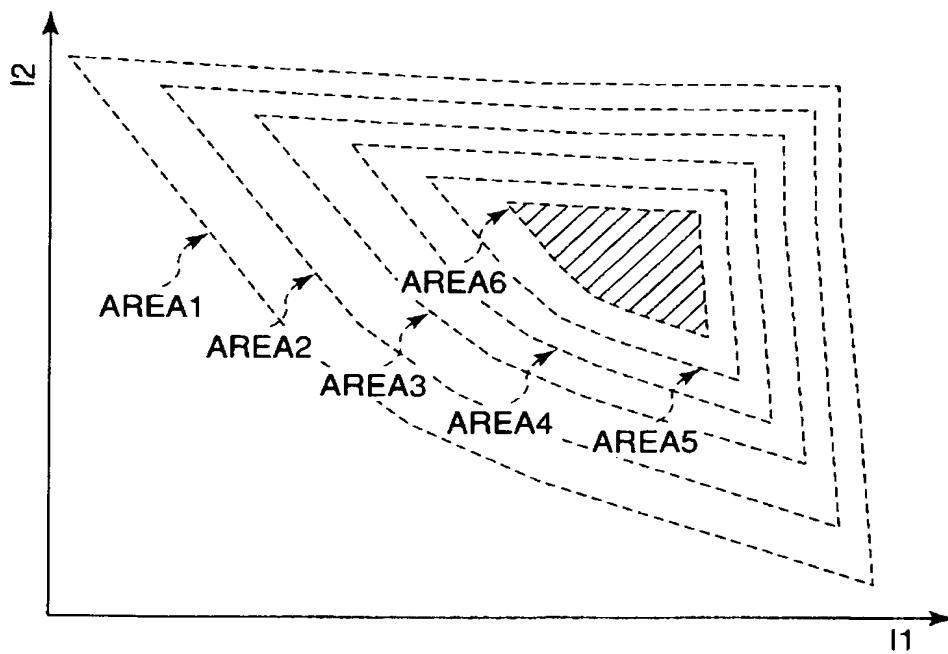
【図 5 4】

DL \ BL	0	1	2	3	4
0	"1"	"0"	"1"	"0"	"1"
1	"0"	"1"	"0"	"1"	"0"
2	"1"	"0"	"1"	"0"	"1"
3	"0"	"1"	"0"	"1"	"0"
4	"1"	"0"	"1"	"0"	"1"

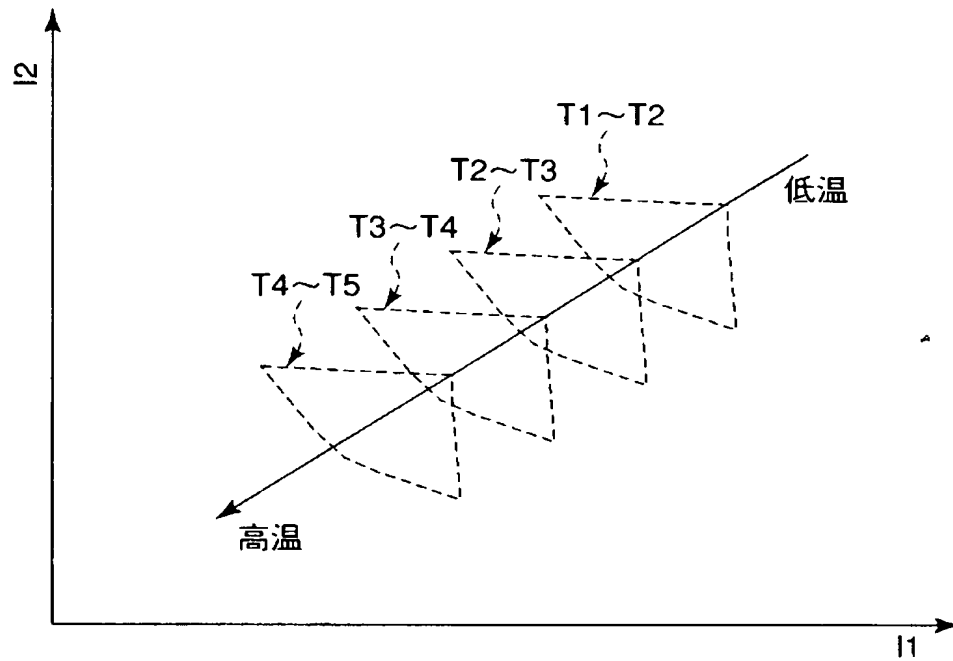
【図 5 5】



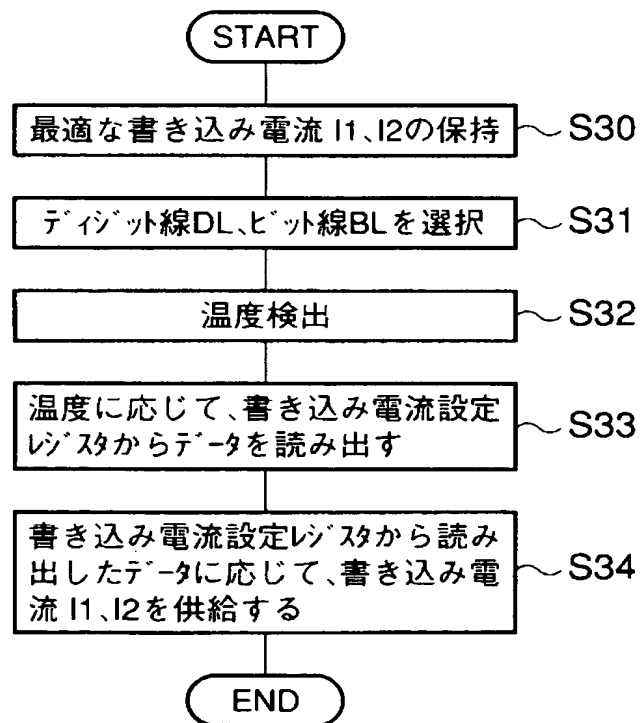
【図 5 6】



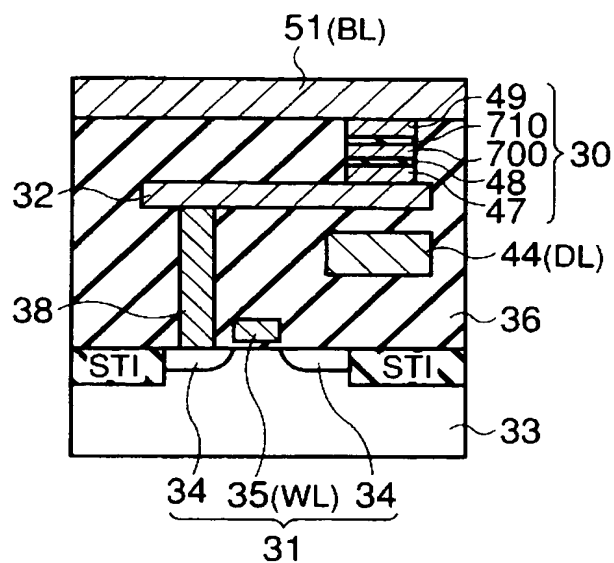
【図 57】



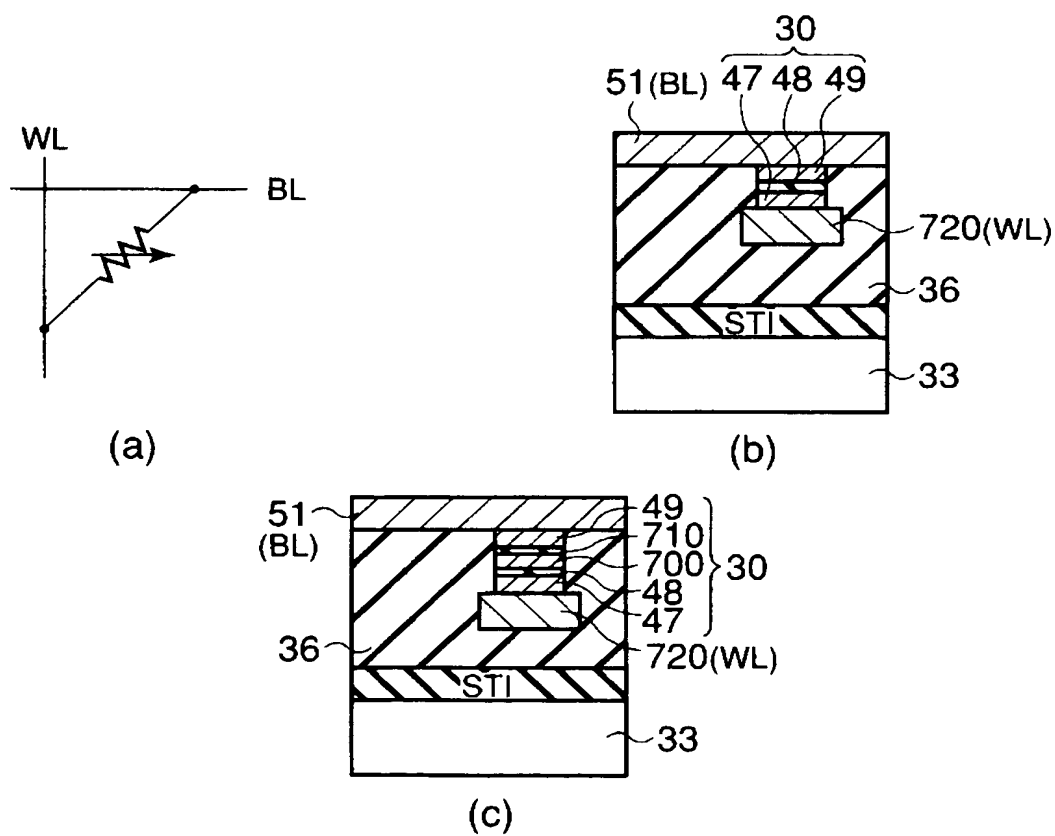
【図 58】



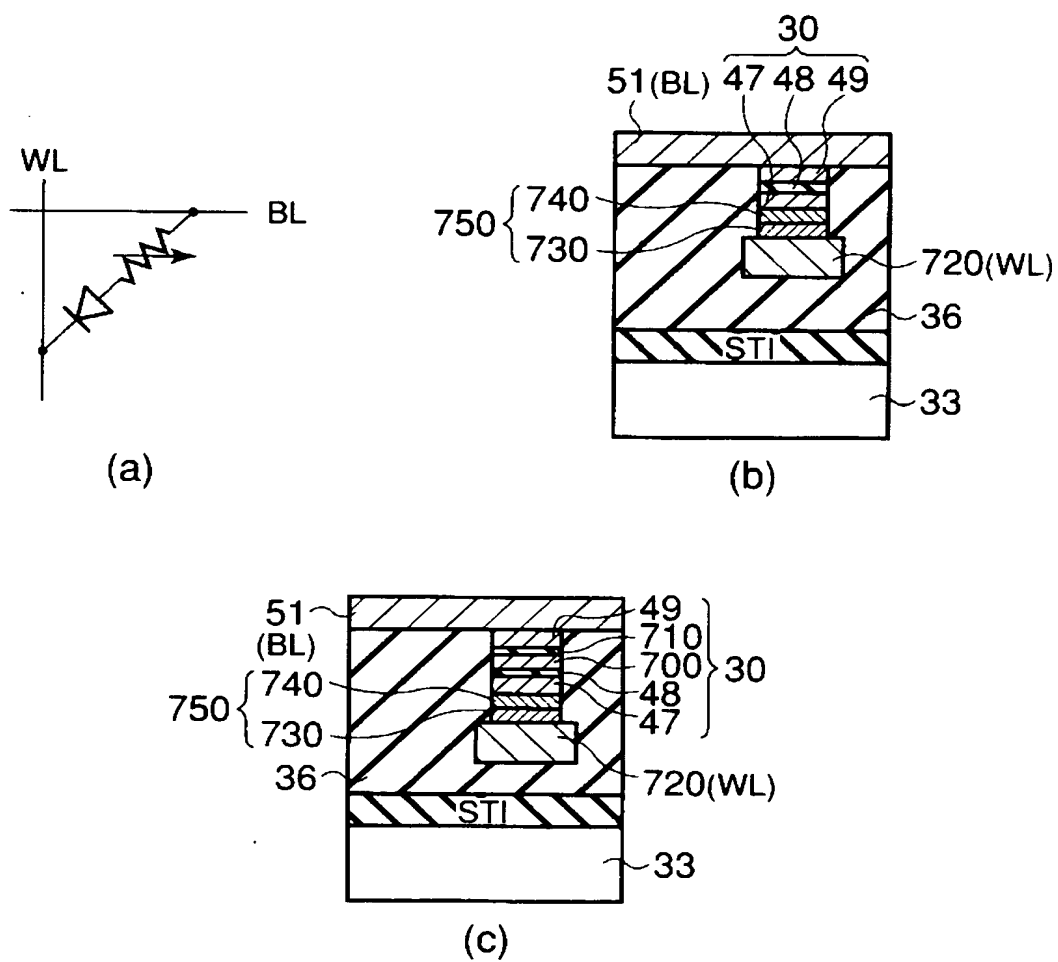
【図 59】



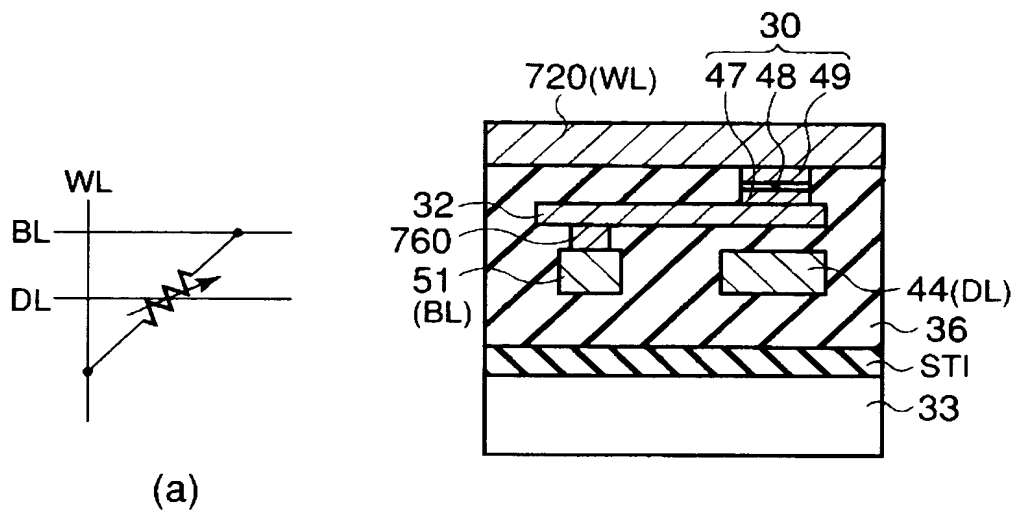
【図 60】



【図 6 1】

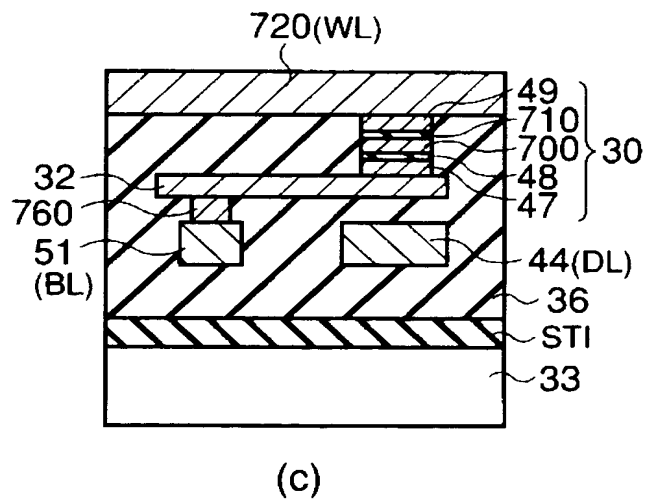


【図 6 2】



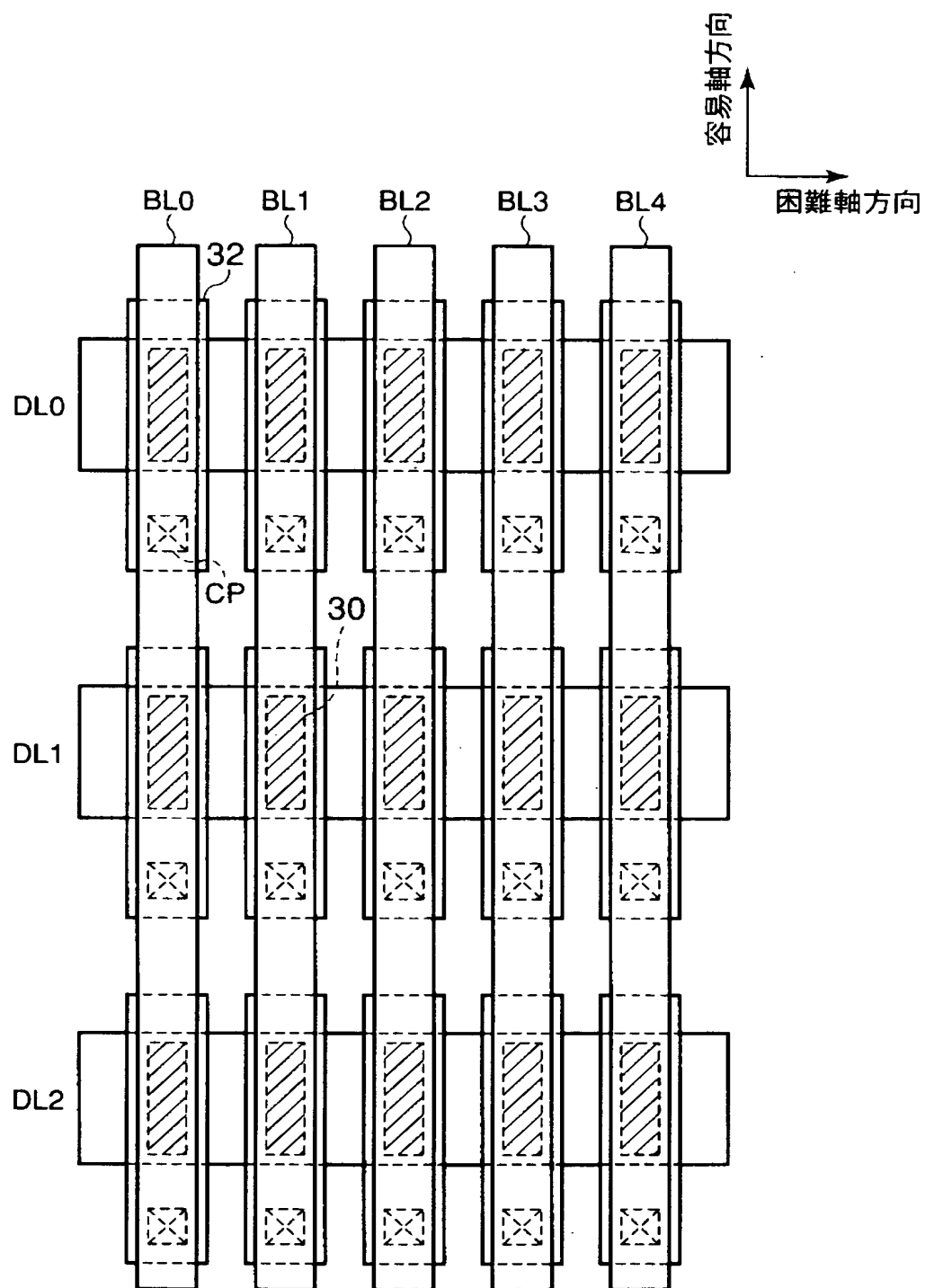
(a)

(b)



(c)

【図 6 3】



【書類名】 要約書

【要約】

【課題】 書き込み動作の信頼性を向上できる半導体記憶装置及びその制御方法を提供すること。

【解決手段】 第1方向に沿って複数形成されたワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、前記ワード線と前記ビット線との交点に設けられ、磁気抵抗素子を含むメモリセルと、前記ワード線を選択するロウデコーダと、前記ビット線を選択するコラムデコーダと、前記ロウデコーダ及び前記コラムデコーダによって選択された選択ワード線及び選択ビット線に、第1、第2書き込み電流をそれぞれ供給して、前記選択ワード線及び前記選択ビット線の交点に設けられた選択メモリセルにデータを書き込む書き込み回路とを具備し、前記書き込み回路は、温度に応じて前記第1、第2書き込み電流の電流値を変化させることを特徴としている。

【選択図】 図12



特願 2003-080587

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝